

(4) Japanese Patent Application Laid-Open No. 11-251520 (1999):  
“SEMICONDUCTOR DEVICE”

The following is a brief description of the invention disclosed in this publication.

This invention is directed to a semiconductor device including a resistor structure 16 composed of a high resistance thin film 162 which has been patterned into a predetermined resistance shape, an impurity cutoff thin film 164 which is formed around the high resistance thin film 162 with an insulator and protects a surface of the high resistance thin film 162 against intrusion of an impurity from the periphery, and a stress buffer film 166 which is formed around the impurity cutoff thin film 164 and buffers stress distortion applied from the periphery of the impurity cutoff thin film 164.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-251520

(43) 公開日 平成11年(1999) 9月17日

(51) Int.Cl.<sup>6</sup>

H 0 1 L 27/04

21/822

識別記号

F I

H 0 1 L 27/04

P

審査請求 未請求 請求項の数39 O L (全 24 頁)

(21) 出願番号 特願平10-49279

(22) 出願日 平成10年(1998) 3月2日

(71) 出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72) 発明者 武田 聡

東京都大田区中馬込1丁目3番6号 株式

会社リコー内

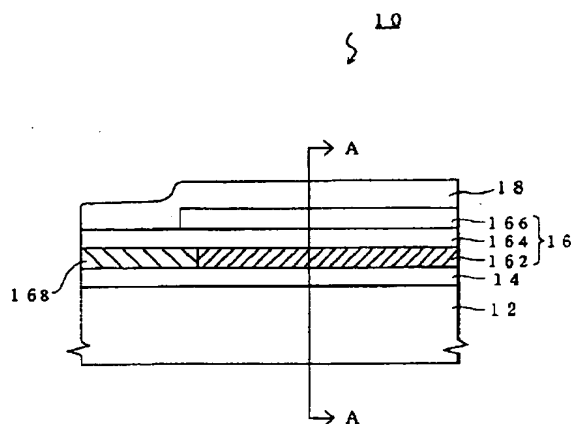
(74) 代理人 弁理士 瀧野 秀雄

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 高抵抗の多結晶シリコン膜の高い抵抗値制御性と抵抗値の低経時的変化を実現する。

【解決手段】 多結晶シリコン膜166を用いて所定の抵抗形状にパターニングされた高抵抗薄膜162と、絶縁体を用いて高抵抗薄膜162の周囲に形成され周囲から高抵抗薄膜162表面への不純物の浸入を遮蔽する不純物遮断薄膜164と、多結晶シリコン膜166を用いて所定の抵抗形状にパターニングされた高抵抗薄膜162と、高抵抗薄膜162の表面に接触した状態で表面を被覆する不純物遮断薄膜164と、不純物遮断薄膜164の周囲に形成され不純物遮断薄膜164の周囲から加えられる応力歪を緩和する応力緩衝膜166から構成された抵抗体構造16を有する。



- 10 … 半導体装置
- 12 … 基板
- 14 … 絶縁薄膜
- 16 … 抵抗体構造
- 162 … 高抵抗薄膜 (多結晶シリコン膜、誘電体膜)
- 164 … 不純物遮断薄膜
- 166 … 応力緩衝膜 (金属薄膜、シリサイド薄膜、多結晶シリコン膜、ポリサイド薄膜)
- 168 … 低抵抗薄膜
- 18 … パッシベーション膜 (PSG薄膜)

## 【特許請求の範囲】

【請求項1】 多結晶シリコン膜に不純物がドーピングされて成る高抵抗の抵抗体である高抵抗薄膜が基板上の絶縁薄膜上に形成された半導体装置において、多結晶シリコン膜を用いて所定の抵抗形状にパターンニングされた前記高抵抗薄膜と絶縁体を用いて当該高抵抗薄膜の表面に接触した状態で当該表面を被覆する不純物遮断薄膜とで構成された抵抗体構造を有することを特徴とする半導体装置。

【請求項2】 多結晶シリコン膜に不純物がドーピングされて成る高抵抗の抵抗体である高抵抗薄膜が基板上の絶縁薄膜上に形成された半導体装置において、多結晶シリコン膜を用いて所定の抵抗形状にパターンニングされた前記高抵抗薄膜と絶縁体を用いて当該高抵抗薄膜の周囲に形成され周囲から当該高抵抗薄膜表面への不純物の浸入を遮蔽する不純物遮断薄膜とで構成された抵抗体構造を有することを特徴とする半導体装置。

【請求項3】 多結晶シリコン膜に不純物がドーピングされて成る高抵抗の抵抗体である高抵抗薄膜が基板上の絶縁薄膜上に形成された半導体装置において、多結晶シリコン膜を用いて所定の抵抗形状にパターンニングされた前記高抵抗薄膜と絶縁体を用いて当該高抵抗薄膜の表面に接触した状態で当該表面を被覆する不純物遮断薄膜と当該不純物遮断薄膜に接触した状態で当該不純物遮断薄膜の周囲に形成された応力緩衝膜から構成された抵抗体構造を有することを特徴とする半導体装置。

【請求項4】 多結晶シリコン膜に不純物がドーピングされて成る高抵抗の抵抗体である高抵抗薄膜が基板上の絶縁薄膜上に形成された半導体装置において、多結晶シリコン膜を用いて所定の抵抗形状にパターンニングされた前記高抵抗薄膜と絶縁体を用いて当該高抵抗薄膜の周囲に形成され周囲から当該高抵抗薄膜表面への不純物の浸入を遮蔽する不純物遮断薄膜と多結晶シリコン膜を用いて所定の抵抗形状にパターンニングされた前記高抵抗薄膜と当該高抵抗薄膜の表面に接触した状態で当該表面を被覆する不純物遮断薄膜と当該不純物遮断薄膜の周囲に形成され当該不純物遮断薄膜の周囲から加えられる応力歪を緩和する応力緩衝膜から構成された抵抗体構造を有することを特徴とする半導体装置。

【請求項5】 前記高抵抗薄膜のシート抵抗値は、 $500\Omega/\square$ 乃至 $1M/\square$ であることを特徴とする請求項1乃至4のいずれか一項に記載の半導体装置。

【請求項6】 誘電体膜に導電体が拡散されて成る高抵抗の抵抗体である高抵抗薄膜が基板上の絶縁薄膜上に形成された半導体装置において、誘電体膜を用いて所定の抵抗形状にパターンニングされた前記高抵抗薄膜と絶縁体を用いて当該高抵抗薄膜の表面に接触した状態で当該表面を被覆する不純物遮断薄膜とで構成された抵抗体構造を有することを特徴とする半導体装置。

【請求項7】 誘電体膜に導電体が拡散されて成る高抵抗の抵抗体である前記高抵抗薄膜が基板上の絶縁薄膜上に形成された半導体装置において、誘電体膜を用いて所定の抵抗形状にパターンニングされた前記高抵抗薄膜と絶縁体を用いて当該高抵抗薄膜の周囲に形成され周囲から当該高抵抗薄膜表面への不純物の浸入を遮蔽する不純物遮断薄膜とで構成された抵抗体構造を有することを特徴とする半導体装置。

【請求項8】 誘電体膜に導電体が拡散されて成る高抵抗の抵抗体である前記高抵抗薄膜が基板上の絶縁薄膜上に形成された半導体装置において、誘電体膜を用いて所定の抵抗形状にパターンニングされた前記高抵抗薄膜と絶縁体を用いて当該高抵抗薄膜の表面に接触した状態で当該表面を被覆する不純物遮断薄膜と当該不純物遮断薄膜に接触した状態で当該不純物遮断薄膜の周囲に形成された応力緩衝膜から構成された抵抗体構造を有することを特徴とする半導体装置。

【請求項9】 誘電体膜に導電体が拡散されて成る高抵抗の抵抗体である前記高抵抗薄膜が基板上の絶縁薄膜上に形成された半導体装置において、誘電体膜を用いて所定の抵抗形状にパターンニングされた前記高抵抗薄膜と絶縁体を用いて当該高抵抗薄膜の周囲に形成され周囲から当該高抵抗薄膜表面への不純物の浸入を遮蔽する不純物遮断薄膜と誘電体膜を用いて所定の抵抗形状にパターンニングされた前記高抵抗薄膜と当該高抵抗薄膜の表面に接触した状態で当該表面を被覆する不純物遮断薄膜と当該不純物遮断薄膜の周囲に形成され当該不純物遮断薄膜の周囲から加えられる応力歪を緩和する応力緩衝膜から構成された抵抗体構造を有することを特徴とする半導体装置。

【請求項10】 前記高抵抗薄膜上に形成されたパッシベーション膜を有し、前記不純物遮断薄膜は、前記パッシベーション膜から前記高抵抗薄膜表面への不純物の浸入を遮蔽する薄膜であることを特徴とする請求項1乃至9のいずれか一項に記載の半導体装置。

【請求項11】 前記パッシベーション膜は、PSG薄膜であることを特徴とする請求項10に記載の半導体装置。

【請求項12】 前記不純物遮断薄膜は、前記パッシベーション膜から前記高抵抗薄膜表面へ浸入する水素分子を含む不純物を遮蔽する薄膜であることを特徴とする請求項10又は11に記載の半導体装置。

【請求項13】 前記応力緩衝膜は、前記パッシベーション膜から前記不純物遮断薄膜に加えられる応力歪を緩和する薄膜であることを特徴とする請求項10乃至12のいずれか一項に記載の半導体装置。

【請求項14】 前記応力緩衝膜は、ポリイミド樹脂を含む薄膜であることを特徴とする請求項13に記載の半導体装置。

【請求項 15】 前記応力緩衝膜は、導電性を有すると共に、所定の電位に接続されて電位を固定されていることを特徴とする請求項 13 に記載の半導体装置。

【請求項 16】 前記応力緩衝膜は、電源電位に接続された状態で当該電源電位に固定されていることを特徴とする請求項 15 に記載の半導体装置。

【請求項 17】 前記応力緩衝膜は、接地電位に接続された状態で当該接地電位に固定されていることを特徴とする請求項 15 に記載の半導体装置。

【請求項 18】 前記応力緩衝膜は、電源電位と接地電位との中間電位に接続された状態で当該中間電位に固定されていることを特徴とする請求項 15 に記載の半導体装置。

【請求項 19】 前記応力緩衝膜の電位がフロート状態に維持されていることを特徴とする請求項 15 に記載の半導体装置。

【請求項 20】 前記応力緩衝膜が複数のブロックに分割されて形成されている場合、当該ブロックの各々が前記電源電位、前記接地電位又は前記中間電位の何れかに維持されていることを特徴とする請求項 19 に記載の半導体装置。

【請求項 21】 前記応力緩衝膜が複数のブロックに分割されて形成されている場合、当該ブロックの全てが前記電源電位、前記接地電位又は前記中間電位の何れかに共通に維持されていることを特徴とする請求項 19 に記載の半導体装置。

【請求項 22】 前記応力緩衝膜は、アルミ金属を含む金属薄膜であることを特徴とする請求項 15 乃至 21 のいずれか一項に記載の半導体装置。

【請求項 23】 前記応力緩衝膜は、アルミ金属を含むシリサイド薄膜であることを特徴とする請求項 15 乃至 21 のいずれか一項に記載の半導体装置。

【請求項 24】 前記応力緩衝膜は、アルミ金属及び銅金属を含むシリサイド薄膜であることを特徴とする請求項 15 乃至 21 のいずれか一項に記載の半導体装置。

【請求項 25】 前記応力緩衝膜は、多結晶シリコン膜を含む薄膜であることを特徴とする請求項 15 乃至 21 のいずれか一項に記載の半導体装置。

【請求項 26】 前記応力緩衝膜は、多結晶シリコン膜を含むポリサイド薄膜であることを特徴とする請求項 15 乃至 21 のいずれか一項に記載の半導体装置。

【請求項 27】 前記基板は、接地電位に接続された状態で当該接地電位に固定されていることを特徴とする請求項 16 乃至 26 のいずれか一項に記載の半導体装置。

【請求項 28】 前記基板は、電源電位に接続された状態で当該電源電位に固定されていることを特徴とする請求項 16 乃至 26 のいずれか一項に記載の半導体装置。

【請求項 29】 前記抵抗体構造は、ストライプ形状に形成された複数本の前記高抵抗薄膜と、隣接する当該高抵抗薄膜の終端間を交互に接続するように形成され当該

高抵抗薄膜を直列接続して所望の抵抗値を得るための低抵抗薄膜とを有し、

前記不純物遮断薄膜は、前記高抵抗薄膜の表面を少なくとも被覆する様に形成されていることを特徴とする請求項 1 乃至 10 のいずれか一項に記載の半導体装置。

【請求項 30】 前記不純物遮断薄膜は、前記高抵抗薄膜の表面を被覆すると共に、前記低抵抗薄膜との接続部分近傍の薄膜表面を被覆する様に形成されていることを特徴とする請求項 29 に記載の半導体装置。

【請求項 31】 前記不純物遮断薄膜は、前記高抵抗薄膜の表面及び前記接続部分近傍の表面を被覆すると共に、前記基板上的絶縁薄膜上に被覆する様に形成されていることを特徴とする請求項 29 に記載の半導体装置。

【請求項 32】 前記不純物遮断薄膜は、前記高抵抗薄膜の表面及び前記接続部分近傍の表面を被覆すると共に、前記高抵抗薄膜近傍の前記絶縁薄膜上の所定範囲を被覆する様に形成されていることを特徴とする請求項 29 に記載の半導体装置。

【請求項 33】 前記不純物遮断薄膜は、前記高抵抗薄膜の表面及び前記基板上的絶縁薄膜上に被覆する様に形成されていることを特徴とする請求項 29 に記載の半導体装置。

【請求項 34】 前記抵抗体構造が複数直列に接続されて構成されたラダー回路を有することを特徴とする請求項 29 乃至 33 のいずれか一項に記載の半導体装置。

【請求項 35】 前記ラダー回路は、前記複数の抵抗体構造が抵抗値に関して昇順に接続されて構成されると共に、隣接する当該抵抗体構造の抵抗比が 2 であることを特徴とする請求項 34 に記載の半導体装置。

【請求項 36】 前記ラダー回路は、前記複数の抵抗体構造が 2 のべき乗の抵抗比で昇順に接続されて構成されることを特徴とする請求項 34 に記載の半導体装置。

【請求項 37】 前記ラダー回路を構成する前記抵抗体構造の両端にはノードが各々設けられ、前記ノードを選択することにより前記ラダー回路の抵抗値を所望の値に設定するように構成されていることを特徴とする請求項 35 又は 36 に記載の半導体装置。

【請求項 38】 前記ラダー回路は、前記抵抗体構造の両端の前記ノード間を短絡して前記ラダー回路の抵抗値を所望の抵抗値に設定するためのヒューズが設けられていることを特徴とする請求項 37 に記載の半導体装置。

【請求項 39】 負荷に供給される出力電圧を一定に保持する定電圧電源である半導体装置において、基準電圧を生成する基準電源と、電流を与えられた際に当該電流の大きさに応じた出力電圧を生成する出力電圧設定用抵抗網と、前記出力電圧設定用抵抗網に制御電流を与えて当該出力電圧設定用抵抗網の出力ノードを一定電圧値に制御するための制御トランジスタと、

前記出力ノードからの出力電圧と前記基準電圧との電圧

差を求め所定倍率に増幅して誤差信号を生成すると共に、当該誤差信号を前記制御トランジスタに与えて前記出力電圧設定用抵抗網に対する定電圧制御を促す誤差増幅器とを有し、前記出力電圧設定用抵抗網が前記ラダー回路を用いて構成され、当該ラダー回路の任意のノードが前記出力ノードに選択されて前記出力電圧が生成されるように構成されていることを特徴とする請求項34乃至38のいずれか一項に記載の半導体装置。

#### 【発明の詳細な説明】

【発明の属する技術分野】本発明は、半導体装置に関し、特に、多結晶シリコン膜に不純物がドーピングされて成る高抵抗の抵抗体薄膜が基板上の絶縁薄膜上に形成された半導体装置、又は誘電体膜に導電体が拡散されて成る高抵抗薄膜が基板上の絶縁薄膜上に形成された半導体装置に関する。

#### 【0001】

【従来の技術】従来この種の半導体装置としては、例えば、特開平5-13683号公報（発明の名称：半導体装置の製造方法、出願日：1991年7月1日、出願人：セイコー電子工業株式会社）に示すようなものがある。

【0002】すなわち、多結晶シリコン膜の抵抗体を有する半導体装置9は、図7に示すように、半導体基板2の上に多結晶シリコン膜1A、1Bが形成され、多結晶シリコン膜1A、1Bに不純物がドーピングされて高抵抗の多結晶シリコン膜1Bが形成され、将来高抵抗配線となる多結晶シリコン膜の領域が絶縁膜4で覆われ、絶縁膜4で覆われた領域以外の多結晶シリコン膜1B、1Bにさらに不純物がドーピングされて低い抵抗の多結晶シリコン膜1B、1Bが形成され、多結晶シリコン膜1A、1B上に金属膜5が形成され、将来高抵抗配線となる多結晶シリコン膜1Bの領域の上の金属膜5が選択的に除去されると共にシリサイド化がされて配線パターン5、5が形成された素子構造を有していた。また、この様にして構成された抵抗体上はPSG（リンガラス）に代表されるパッシベーション膜（図示せず）が形成されていた。

#### 【0003】

【発明が解決しようとする課題】しかしながら、このような素子構造の半導体装置9では、多結晶シリコン膜の抵抗値を目標抵抗値に設定することが難しく、特に、高抵抗の多結晶シリコン膜を作製する場合、多結晶シリコン膜の抵抗値を高抵抗に高い精度で設定することが難しいという技術的課題があった。

【0004】また、多結晶シリコン膜の製造初期の抵抗値が経時的に変化してしまうという技術的課題があった。特に、高抵抗に制御された多結晶シリコン膜は、製造初期の高抵抗値が経時的に変化し易いという技術的課題があった。

【0005】多結晶シリコン膜におけるこのような抵抗値制御の難しさや初期抵抗値の経時変化は、配線パターン5、5やパッシベーション膜（PSG）に含まれる不純物（特に、水素原子を含む不純物）やプラズマプロセス雰囲気中に含まれる不純物（特に、水素原子を含む不純物）に強く影響されているものと考えられる。

【0006】本発明は、このような従来の問題点を解決することを課題としており、第1に、多結晶シリコン膜に不純物がドーピングされて成る高抵抗の抵抗体である高抵抗薄膜が基板上の絶縁薄膜上に形成された半導体装置において、多結晶シリコン膜を用いて所定の抵抗形状にパターンニングされた高抵抗薄膜と絶縁体を用いて高抵抗薄膜の周囲に形成され周囲から高抵抗薄膜表面への不純物の浸入を遮蔽する不純物遮断薄膜と多結晶シリコン膜を用いて所定の抵抗形状にパターンニングされた高抵抗薄膜と高抵抗薄膜の表面に接触した状態で表面を被覆する不純物遮断薄膜と不純物遮断薄膜の周囲に形成され不純物遮断薄膜の周囲から加えられる応力歪を緩和する応力緩衝膜から構成された抵抗体構造、または誘電体膜に導電体が拡散されて成る高抵抗の抵抗体である高抵抗薄膜が基板上の絶縁薄膜上に形成された半導体装置において、誘電体膜を用いて所定の抵抗形状にパターンニングされた高抵抗薄膜と絶縁体を用いて高抵抗薄膜の周囲に形成され周囲から高抵抗薄膜表面への不純物の浸入を遮蔽する不純物遮断薄膜と誘電体膜を用いて所定の抵抗形状にパターンニングされた高抵抗薄膜と高抵抗薄膜の表面に接触した状態で表面を被覆する不純物遮断薄膜と不純物遮断薄膜の周囲に形成され不純物遮断薄膜の周囲から加えられる応力歪を緩和する応力緩衝膜から構成された抵抗体構造を有する半導体装置により、高抵抗の多結晶シリコン膜を作製する場合に多結晶シリコン膜の抵抗値を高い精度で目標の高抵抗値に制御することを課題としている。また、高抵抗に制御された多結晶シリコン膜における製造初期の高抵抗値の経時変化を低減することを課題としている。

【0007】第2に、抵抗体構造が複数直列に接続されて構成され、複数の抵抗体構造が抵抗値に関して昇順に接続されて構成されると共に、隣接する抵抗体構造の抵抗比が2であるラダー回路を有する半導体装置により、高抵抗の多結晶シリコン膜を作製する場合に多結晶シリコン膜の抵抗値を高い精度で目標の高抵抗値に制御することを課題としている。また、高抵抗に制御された多結晶シリコン膜における製造初期の高抵抗値の経時変化を低減することを課題としている。

【0008】第3に、負荷に供給される出力電圧を一定に保持する定電圧電源である半導体装置において、基準電圧を生成する基準電源と、電流を与えられた際に電流の大きさに応じた出力電圧を生成する出力電圧設定用抵抗網と、出力電圧設定用抵抗網に制御電流を与えて出力電圧設定用抵抗網の出力ノードを一定電圧値に制御する

ための制御トランジスタと、出力ノードからの出力電圧と基準電圧との電圧差を求め所定倍率に増幅して誤差信号を生成すると共に、誤差信号を制御トランジスタに与えて出力電圧設定用抵抗網に対する定電圧制御を促す誤差増幅器とを有し、出力電圧設定用抵抗網がラダー回路を用いて構成され、ラダー回路の任意のノードが出力ノードに選択されて出力電圧が生成されるように構成されている半導体装置により、高抵抗の多結晶シリコン膜を作製する場合に多結晶シリコン膜の抵抗値を高い精度で目標の高抵抗値に制御することを課題としている。また、高抵抗に制御された多結晶シリコン膜における製造初期の高抵抗値の経時的変化を低減することを課題としている。

【0009】

【課題を解決するための手段】請求項1に記載の発明は、多結晶シリコン膜166に不純物がドーピングされて成る高抵抗の抵抗体である高抵抗薄膜162が基板12上の絶縁薄膜14上に形成された半導体装置において、多結晶シリコン膜166を用いて所定の抵抗形状にパターンニングされた前記高抵抗薄膜162と絶縁体を用いて当該高抵抗薄膜162の表面に接触した状態で当該表面を被覆する不純物遮断薄膜164とで構成された抵抗体構造16を有することを特徴とする半導体装置10である。

【0010】請求項1に記載の発明に依れば、不純物遮断薄膜164である絶縁体を用いて高抵抗薄膜162（多結晶シリコン膜166）の表面を被覆することにより、配線パターンやパッシベーション膜18（PSG）に含まれる不純物（特に、水素原子を含む不純物）やプラズマプロセス雰囲気中に含まれる不純物（特に、水素原子を含む不純物）が高抵抗薄膜162（多結晶シリコン高抵抗薄膜162）に侵入する減少を回避できる。この結果、高抵抗に制御された多結晶シリコン高抵抗薄膜162における製造当初の高抵抗値を維持して経時的変化を低減することができるようになるといった効果を奏する。

【0011】請求項2に記載の発明は、多結晶シリコン膜166に不純物がドーピングされて成る高抵抗の抵抗体である高抵抗薄膜162が基板12上の絶縁薄膜14上に形成された半導体装置において、多結晶シリコン膜166を用いて所定の抵抗形状にパターンニングされた前記高抵抗薄膜162と絶縁体を用いて当該高抵抗薄膜162の周囲に形成され周囲から当該高抵抗薄膜162表面への不純物の浸入を遮蔽する不純物遮断薄膜164とで構成された抵抗体構造16を有することを特徴とする半導体装置10である。

【0012】請求項2に記載の発明に依れば、不純物遮断薄膜164である絶縁体を用いて多結晶シリコン高抵抗薄膜162の表面を被覆することにより、配線パターンやパッシベーション膜18に含まれる水素原子を含む

不純物やプラズマプロセス雰囲気中に含まれる水素原子を含む不純物が高抵抗薄膜162に侵入する現象を回避できる。この結果、高抵抗に制御された多結晶シリコン高抵抗薄膜162における製造当初の高抵抗値を維持して経時的変化を低減することができるようになるといった効果を奏する。

【0013】請求項3に記載の発明は、多結晶シリコン膜166に不純物がドーピングされて成る高抵抗の抵抗体である高抵抗薄膜162が基板12上の絶縁薄膜14上に形成された半導体装置において、多結晶シリコン膜166を用いて所定の抵抗形状にパターンニングされた前記高抵抗薄膜162と絶縁体を用いて当該高抵抗薄膜162の表面に接触した状態で当該表面を被覆する不純物遮断薄膜164と当該不純物遮断薄膜164に接触した状態で当該不純物遮断薄膜164の周囲に形成された応力緩衝膜166から構成された抵抗体構造16を有することを特徴とする半導体装置10である。

【0014】請求項3に記載の発明に依れば、不純物遮断薄膜164である絶縁体を用いて多結晶シリコン高抵抗薄膜162の表面を被覆することにより、配線パターンやパッシベーション膜18に含まれる水素原子を含む不純物やプラズマプロセス雰囲気中に含まれる水素原子を含む不純物が多結晶シリコン高抵抗薄膜162に侵入する現象を回避できる。この結果、高抵抗に制御された多結晶シリコン高抵抗薄膜162における製造当初の高抵抗値を維持して経時的変化を低減することができるようになるといった効果を奏する。更に、応力緩衝膜166は多結晶シリコン高抵抗薄膜162の外部から加えられる応力に対するクッションの機能を果たす。これに依り、作製プロセス中や作製後の多結晶シリコン高抵抗薄膜162内に無用な応力歪が残留する現象を回避でき、応力歪を一要因とすると考えられる多結晶シリコン高抵抗薄膜162の目標抵抗値と作製後の抵抗値とのずれを極力減少させることができる。この結果、高抵抗の多結晶シリコン高抵抗薄膜162を作製する場合に多結晶シリコン高抵抗薄膜162の抵抗値を高い精度で目標の高抵抗値に制御することができるようになり、即ち、高い抵抗値制御性を実現することができるといった効果を奏する。

【0015】請求項4に記載の発明は、において、多結晶シリコン膜166に不純物がドーピングされて成る高抵抗の抵抗体である高抵抗薄膜162が基板12上の絶縁薄膜14上に形成された半導体装置において、多結晶シリコン膜166を用いて所定の抵抗形状にパターンニングされた前記高抵抗薄膜162と絶縁体を用いて当該高抵抗薄膜162の周囲に形成され周囲から当該高抵抗薄膜162表面への不純物の浸入を遮蔽する不純物遮断薄膜164と多結晶シリコン膜166を用いて所定の抵抗形状にパターンニングされた前記高抵抗薄膜162と当該高抵抗薄膜162の表面に接触した状態で当該表面を被覆

10

20

30

40

50

する不純物遮断薄膜 164 と当該不純物遮断薄膜 164 の周囲に形成され当該不純物遮断薄膜 164 の周囲から加えられる応力歪を緩和する応力緩衝膜 166 から構成された抵抗体構造 16 を有することを特徴とする半導体装置 10 である。

【0016】請求項 4 に記載の発明に依れば、請求項 1 乃至 3 のいずれか一項に記載の効果と同様の効果を奏する。

【0017】請求項 5 に記載の発明は、請求項 1 乃至 4 のいずれか一項に記載の半導体装置において、前記高抵抗薄膜 162 のシート抵抗値は、 $500\Omega/\square$  乃至  $1M/\square$  であることを特徴とする半導体装置 10 である。

【0018】請求項 5 に記載の発明に依れば、請求項 1 乃至 4 のいずれか一項に記載の効果に加えて、 $500\Omega/\square$  乃至  $1M/\square$  といった抵抗値の範囲に制御された多結晶シリコン高抵抗薄膜 162 における製造当初の高抵抗値を維持して経時の変化を低減することができるようになるといった効果を奏する。更に、応力歪を一要因とすると考えられる多結晶シリコン高抵抗薄膜 162 の目標抵抗値と作製後の抵抗値とのずれを  $500\Omega/\square$  乃至  $1M/\square$  といった抵抗値の範囲において極力減少させることができる。この結果、高抵抗の多結晶シリコン高抵抗薄膜 162 を作製する場合に多結晶シリコン高抵抗薄膜 162 の抵抗値を高い精度で目標の高抵抗値に制御することができるようになり、即ち、高い抵抗値制御性を実現することができるという効果を奏する。

【0019】請求項 6 に記載の発明は、誘電体膜 162 に導電体が拡散されて成る高抵抗の抵抗体である高抵抗薄膜 162 が基板 12 上の絶縁薄膜 14 上に形成された半導体装置において、誘電体膜 162 を用いて所定の抵抗形状にパターンニングされた前記高抵抗薄膜 162 と絶縁体を用いて当該高抵抗薄膜 162 の表面に接触した状態で当該表面を被覆する不純物遮断薄膜 164 とで構成された抵抗体構造 16 を有することを特徴とする半導体装置 10 である。

【0020】請求項 6 に記載の発明に依れば、不純物遮断薄膜 164 である絶縁体を用いて高抵抗薄膜 162 (高抵抗の拡散抵抗薄膜) の表面を被覆することにより、配線パターンやパッシベーション膜 18 (PSG) に含まれる不純物 (特に、水素原子を含む不純物) やプラズマプロセス雰囲気中に含まれる不純物 (特に、水素原子を含む不純物) が高抵抗薄膜 162 (高抵抗拡散抵抗薄膜 162) に侵入する減少を回避できる。この結果、高抵抗に制御された高抵抗拡散抵抗薄膜 162 における製造当初の高抵抗値を維持して経時の変化を低減することができるようになるという効果を奏する。

【0021】請求項 7 に記載の発明は、誘電体膜 162 に導電体が拡散されて成る高抵抗の抵抗体である前高抵抗薄膜 162 が基板 12 上の絶縁薄膜 14 上に形成された半導体装置において、誘電体膜 162 を用いて所定の

抵抗形状にパターンニングされた前記高抵抗薄膜 162 と絶縁体を用いて当該高抵抗薄膜 162 の周囲に形成され周囲から当該高抵抗薄膜 162 表面への不純物の浸入を遮蔽する不純物遮断薄膜 164 とで構成された抵抗体構造 16 を有することを特徴とする半導体装置 10 である。

【0022】請求項 7 に記載の発明に依れば、不純物遮断薄膜 164 である絶縁体を用いて高抵抗拡散抵抗薄膜 162 の表面を被覆することにより、配線パターンやパッシベーション膜 18 に含まれる水素原子を含む不純物やプラズマプロセス雰囲気中に含まれる水素原子を含む不純物が高抵抗拡散抵抗薄膜 162 に侵入する現象を回避できる。この結果、高抵抗に制御された高抵抗拡散抵抗薄膜 162 における製造当初の高抵抗値を維持して経時の変化を低減することができるようになるという効果を奏する。

【0023】請求項 8 に記載の発明は、誘電体膜 162 に導電体が拡散されて成る高抵抗の抵抗体である前記高抵抗薄膜 162 が基板 12 上の絶縁薄膜 14 上に形成された半導体装置において、誘電体膜 162 を用いて所定の抵抗形状にパターンニングされた前記高抵抗薄膜 162 と絶縁体を用いて当該高抵抗薄膜 162 の表面に接触した状態で当該表面を被覆する不純物遮断薄膜 164 と当該不純物遮断薄膜 164 に接触した状態で当該不純物遮断薄膜 164 の周囲に形成された応力緩衝膜 166 から構成された抵抗体構造 16 を有することを特徴とする半導体装置 10 である。

【0024】請求項 8 に記載の発明に依れば、不純物遮断薄膜 164 である絶縁体を用いて高抵抗拡散抵抗薄膜 162 の表面を被覆することにより、配線パターンやパッシベーション膜 18 に含まれる水素原子を含む不純物やプラズマプロセス雰囲気中に含まれる水素原子を含む不純物が高抵抗拡散抵抗薄膜 162 に侵入する現象を回避できる。この結果、高抵抗に制御された高抵抗拡散抵抗薄膜 162 における製造当初の高抵抗値を維持して経時の変化を低減することができるようになるという効果を奏する。更に、応力緩衝膜 166 は高抵抗拡散抵抗薄膜 162 の外部から加えられる応力に対するクッションの機能を果たす。これに依り、作製プロセス中や作製後の高抵抗拡散抵抗薄膜 162 内に無用の応力歪が残留する現象を回避でき、応力歪を一要因とすると考えられる高抵抗拡散抵抗薄膜 162 の目標抵抗値と作製後の抵抗値とのずれを極力減少させることができる。この結果、高抵抗拡散抵抗薄膜 162 を作製する場合に高抵抗拡散抵抗薄膜 162 の抵抗値を高い精度で目標の高抵抗値に制御することができるようになり、即ち、高い抵抗値制御性を実現することができるという効果を奏する。

【0025】請求項 9 に記載の発明は、誘電体膜 162 に導電体が拡散されて成る高抵抗の抵抗体である前記高

抵抗薄膜162が基板12上の絶縁薄膜14上に形成された半導体装置において、誘電体膜162を用いて所定の抵抗形状にパターンニングされた前記高抵抗薄膜162と絶縁体を用いて当該高抵抗薄膜162の周囲に形成され周囲から当該高抵抗薄膜162表面への不純物の浸入を遮蔽する不純物遮断薄膜164と誘電体膜162を用いて所定の抵抗形状にパターンニングされた前記高抵抗薄膜162と当該高抵抗薄膜162の表面に接触した状態で当該表面を被覆する不純物遮断薄膜164と当該不純物遮断薄膜164の周囲に形成され当該不純物遮断薄膜164の周囲から加えられる応力歪を緩和する応力緩衝膜166から構成された抵抗体構造16を有することを特徴とする半導体装置10である。

【0026】請求項9に記載の発明に依れば、請求項6乃至8のいずれか一項に記載の効果と同様の効果を奏する。

【0027】請求項10に記載の発明は、請求項1乃至9のいずれか一項に記載の半導体装置において、前記高抵抗薄膜162上に形成されたパッシベーション膜18を有し、前記不純物遮断薄膜164は、前記パッシベーション膜18から前記高抵抗薄膜162表面への不純物の浸入を遮蔽する薄膜であることを特徴とする半導体装置10である。

【0028】請求項10に記載の発明に依れば、請求項1乃至9のいずれか一項に記載の効果に加えて、不純物遮断薄膜164である絶縁体を用いて多結晶シリコン高抵抗薄膜162や高抵抗拡散抵抗薄膜162の表面を被覆することにより、パッシベーション膜18に含まれる水素原子を含む不純物やパッシベーション膜18作製のプラズマプロセス雰囲気中に含まれる水素原子を含む不純物が多結晶シリコン高抵抗薄膜162や高抵抗拡散抵抗薄膜162に侵入する現象を回避できる。この結果、高抵抗に制御された多結晶シリコン高抵抗薄膜162や高抵抗拡散抵抗薄膜162における製造当初の高抵抗値を維持して経時的変化を低減することができるようになるといった効果を奏する。更に、応力緩衝膜166はパッシベーション膜18から多結晶シリコン高抵抗薄膜162や高抵抗拡散抵抗薄膜162に加えられる応力に対するクッションの機能を果たす。これに依り、作製プロセス中や作製後の多結晶シリコン高抵抗薄膜162や高抵抗拡散抵抗薄膜162内にパッシベーション膜18によって発生される応力歪が残留する現象を回避でき、応力歪を一要因とすると考えられる多結晶シリコン高抵抗薄膜162や高抵抗拡散抵抗薄膜162の目標抵抗値と作製後の抵抗値とのずれを極力減少させることができる。この結果、多結晶シリコン高抵抗薄膜162や高抵抗拡散抵抗薄膜162を作製する場合に多結晶シリコン高抵抗薄膜162や高抵抗拡散抵抗薄膜162の抵抗値を高い精度で目標の高抵抗値に制御することができるようになり、即ち、高い抵抗値制御性を実現することができると

いった効果を奏する。

【0029】請求項11に記載の発明は、請求項10に記載の半導体装置において、前記パッシベーション膜18は、PSG薄膜18であることを特徴とする半導体装置10である。

【0030】請求項11に記載の発明に依れば、請求項10に記載の効果に加えて、不純物遮断薄膜164である絶縁体を用いて多結晶シリコン高抵抗薄膜162や高抵抗拡散抵抗薄膜162の表面を被覆することにより、PSG薄膜18に含まれる水素原子を含む不純物やPSG薄膜18作製のプラズマプロセス雰囲気中に含まれる水素原子を含む不純物が多結晶シリコン高抵抗薄膜162や高抵抗拡散抵抗薄膜162に侵入する現象を回避できる。この結果、高抵抗に制御された多結晶シリコン高抵抗薄膜162や高抵抗拡散抵抗薄膜162における製造当初の高抵抗値を維持して経時的変化を低減することができるようになるといった効果を奏する。更に、応力緩衝膜166はPSG薄膜18から多結晶シリコン高抵抗薄膜162や高抵抗拡散抵抗薄膜162に加えられる応力に対するクッションの機能を果たす。これに依り、作製プロセス中や作製後の多結晶シリコン高抵抗薄膜162や高抵抗拡散抵抗薄膜162内にPSG薄膜18によって発生される応力歪が残留する現象を回避でき、応力歪を一要因とすると考えられる多結晶シリコン高抵抗薄膜162や高抵抗拡散抵抗薄膜162の目標抵抗値と作製後の抵抗値とのずれを極力減少させることができる。この結果、多結晶シリコン高抵抗薄膜162や高抵抗拡散抵抗薄膜162を作製する場合に多結晶シリコン高抵抗薄膜162や高抵抗拡散抵抗薄膜162の抵抗値を高い精度で目標の高抵抗値に制御することができるようになり、即ち、高い抵抗値制御性を実現することができるといった効果を奏する。

【0031】請求項12に記載の発明は、請求項10又は11に記載の半導体装置において、前記不純物遮断薄膜164は、前記パッシベーション膜18から前記高抵抗薄膜162表面へ浸入する水素分子を含む不純物を遮蔽する薄膜であることを特徴とする半導体装置10である。

【0032】請求項12に記載の発明に依れば、請求項10又は11に記載の効果と同様の効果を奏する。

【0033】請求項13に記載の発明は、請求項10乃至12のいずれか一項に記載の半導体装置において、前記応力緩衝膜166は、前記パッシベーション膜18から前記不純物遮断薄膜164に加えられる応力歪を緩和する薄膜であることを特徴とする半導体装置10である。

【0034】請求項13に記載の発明に依れば、請求項10乃至12のいずれか一項に記載の効果に加えて、応力緩衝膜166はパッシベーション膜18から多結晶シリコン高抵抗薄膜162や高抵抗拡散抵抗薄膜162に加



えられる応力を吸収する良好な弾性体（応力吸収体）の機能を果たす。これに依り、作製プロセス中や作製後の多結晶シリコン高抵抗薄膜162や高抵抗拡散抵抗薄膜162内にパッシベーション膜18によって発生される応力歪をやわらげることができ、応力歪を一要因とすると考えられる多結晶シリコン高抵抗薄膜162や高抵抗拡散抵抗薄膜162の目標抵抗値と作製後の抵抗値とのずれを極力減少させることができる。この結果、多結晶シリコン高抵抗薄膜162や高抵抗拡散抵抗薄膜162を作製する場合に多結晶シリコン高抵抗薄膜162や高抵抗拡散抵抗薄膜162の抵抗値を高い精度で目標の高抵抗値に制御することができるようになり、即ち、高い抵抗値制御性を実現することができるという効果を奏する。

【0035】請求項14に記載の発明は、請求項13に記載の半導体装置において、前記応力緩衝膜166は、ポリイミド樹脂を含む薄膜であることを特徴とする半導体装置10である。

【0036】請求項14に記載の発明に依れば、請求項13に記載の効果に加えて、半導体プロセス適合性や信頼性が既に認証されているポリイミド樹脂薄膜は、パッシベーション膜18から多結晶シリコン高抵抗薄膜162や高抵抗拡散抵抗薄膜162に加えられる応力を吸収する良好な弾性体（応力吸収体）の機能を果たす。これに依り、プロセス安定性を損なうことなく、作製プロセス中や作製後の多結晶シリコン高抵抗薄膜162や高抵抗拡散抵抗薄膜162内にパッシベーション膜18によって発生される応力歪をやわらげることができ、応力歪を一要因とすると考えられる多結晶シリコン高抵抗薄膜162や高抵抗拡散抵抗薄膜162の目標抵抗値と作製後の抵抗値とのずれを極力減少させることができる。この結果、多結晶シリコン高抵抗薄膜162や高抵抗拡散抵抗薄膜162を作製する場合に多結晶シリコン高抵抗薄膜162や高抵抗拡散抵抗薄膜162の抵抗値を高い精度で目標の高抵抗値に制御することができるようになり、即ち、プロセス安定性を損なうことなく、且つ低いプロセスコストを以て、高い抵抗値制御性を実現することができるという効果を奏する。

【0037】請求項15に記載の発明は、請求項13に記載の半導体装置において、前記応力緩衝膜166は、導電性を有すると共に、所定の電位に接続されて電位を固定されていることを特徴とする半導体装置10である。

【0038】請求項15に記載の発明に依れば、請求項13に記載の効果に加えて、応力緩衝膜166の電位を一定電位に固定してパッシベーション膜18－多結晶シリコン高抵抗薄膜162又は高抵抗拡散抵抗薄膜162間を一定電場に保持することにより、パッシベーション膜18に含まれる水素原子を含む不純物やパッシベーション膜18作製時のプラズマプロセス雰囲気中に含まれる

水素原子を含む不純物が多結晶シリコン高抵抗薄膜162や高抵抗拡散抵抗薄膜162に侵入する現象を電場の作用を借りて更に効果的に回避できる。この結果、高抵抗に制御された多結晶シリコン高抵抗薄膜162や高抵抗拡散抵抗薄膜162における製造当初の高抵抗値を維持して経時の変化を更に効果的に低減することができるようになるという効果を奏する。

【0039】請求項16に記載の発明は、請求項15に記載の半導体装置において、前記応力緩衝膜166は、電源電位VDDに接続された状態で当該電源電位VDDに固定されていることを特徴とする半導体装置10である。

【0040】請求項16に記載の発明に依れば、請求項15に記載の効果と同様の効果を奏する。

【0041】請求項17に記載の発明は、請求項15に記載の半導体装置において、前記応力緩衝膜166は、接地電位VNDに接続された状態で当該接地電位VNDに固定されていることを特徴とする半導体装置10である。

【0042】請求項17に記載の発明に依れば、請求項15に記載の効果と同様の効果を奏する。

【0043】請求項18に記載の発明は、請求項15に記載の半導体装置において、前記応力緩衝膜166は、電源電位VDDと接地電位VNDとの中間電位VDD/2に接続された状態で当該中間電位VDD/2に固定されていることを特徴とする半導体装置10である。

【0044】請求項18に記載の発明に依れば、請求項15に記載の効果と同様の効果を奏する。

【0045】請求項19に記載の発明は、請求項15に記載の半導体装置において、前記応力緩衝膜166の電位がフロート状態に維持されていることを特徴とする半導体装置10である。

【0046】請求項19に記載の発明に依れば、請求項15に記載の効果と同様の効果を奏する。

【0047】請求項20に記載の発明は、請求項19に記載の半導体装置において、前記応力緩衝膜166が複数のブロックに分割されて形成されている場合、当該ブロックの各々が前記電源電位VDD、前記接地電位VND又は前記中間電位VDD/2の何れかに維持されていることを特徴とする半導体装置10である。

【0048】請求項20に記載の発明に依れば、請求項19に記載の効果に加えて、応力緩衝膜166のブロック毎に各々異なる電場に保持できるようになる。抵抗体構造16が複数のブロックに分割されて使用される場合であっても、各々ブロック毎に最も効果的な電位を選択することができるようになるという効果を奏する。この結果、パッシベーション膜18－多結晶シリコン高抵抗薄膜162又は高抵抗拡散抵抗薄膜162間をブロック毎に最適な一定電場に保持でき、パッシベーション膜18に含まれる水素原子を含む不純物やパッシベーション膜18作製時のプラズマプロセス雰囲気中に含まれる水

素原子を含む不純物が多結晶シリコン高抵抗薄膜162や高抵抗拡散抵抗薄膜162に侵入する現象をブロック毎の最適な電場の作用を借りてブロック毎に効果的に回避できる。これに依り、高抵抗に制御された多結晶シリコン高抵抗薄膜162や高抵抗拡散抵抗薄膜162における製造当初の高抵抗値を維持して経時の変化をブロック毎に効果的に低減することができるようになるといった効果を奏する。

【0049】請求項21に記載の発明は、請求項19に記載の半導体装置において、前記応力緩衝膜166が複数のブロックに分割されて形成されている場合、当該ブロックの全てが前記電源電位V<sub>DD</sub>、前記接地電位V<sub>GND</sub>又は前記中間電位V<sub>DD</sub>/2の何れかに共通に維持されていることを特徴とする半導体装置10である。

【0050】請求項21に記載の発明に依れば、請求項19に記載の効果に加えて、応力緩衝膜166の全ブロックを共通の電場に保持できるようになる。抵抗体構造16が複数のブロックに分割されて使用される場合であっても、全ブロック共通に最も効果的な共通電位を選択することができるようになるといった効果を奏する。この結果、パッシベーション膜18-多結晶シリコン高抵抗薄膜162又は高抵抗拡散抵抗薄膜162間を全ブロック共通に最適な一定電場に保持でき、パッシベーション膜18に含まれる水素原子を含む不純物やパッシベーション膜18作製時のプラズマプロセス雰囲気中に含まれる水素原子を含む不純物が多結晶シリコン高抵抗薄膜162や高抵抗拡散抵抗薄膜162に侵入する現象を全ブロック共通な最適な電場の作用を借りて全ブロック共通に効果的に回避できる。これに依り、高抵抗に制御された多結晶シリコン高抵抗薄膜162や高抵抗拡散抵抗薄膜162における製造当初の高抵抗値を維持して経時の変化を全ブロック共通に効果的に低減することができるようになるといった効果を奏する。

【0051】請求項22に記載の発明は、請求項15乃至21のいずれか一項に記載の半導体装置において、前記応力緩衝膜166は、アルミ金属を含む金属薄膜であることを特徴とする半導体装置10である。

【0052】請求項22に記載の発明に依れば、請求項15乃至21のいずれか一項に記載の効果に加えて、半導体プロセス適合性や信頼性が既に認証されているアルミ金属を用いた薄膜は、単結晶シリコンやパッシベーション膜18に比べて弾性に富み、パッシベーション膜18から多結晶シリコン高抵抗薄膜162や高抵抗拡散抵抗薄膜162に加えられる応力を吸収する良好な弾性体（応力吸収体）の機能を果たす。これに依り、プロセス安定性を損なうことなく、作製プロセス中や作製後の多結晶シリコン高抵抗薄膜162や高抵抗拡散抵抗薄膜162内にパッシベーション膜18によって発生される応力歪をやわらげることができ、応力歪を一要因とすると考えられる多結晶シリコン高抵抗薄膜162や高抵抗拡

散抵抗薄膜162の目標抵抗値と作製後の抵抗値とのずれを極力減少させることができる。この結果、多結晶シリコン高抵抗薄膜162や高抵抗拡散抵抗薄膜162を作製する場合に多結晶シリコン高抵抗薄膜162や高抵抗拡散抵抗薄膜162の抵抗値を高い精度で目標の高抵抗値に制御することができるようになり、即ち、プロセス安定性を損なうことなく、且つ低いプロセスコストを以て、高い抵抗値制御性を実現することができるといった効果を奏する。

10 【0053】請求項23に記載の発明は、請求項15乃至21のいずれか一項に記載の半導体装置において、前記応力緩衝膜166は、アルミ金属を含むシリサイド薄膜であることを特徴とする半導体装置10である。

【0054】請求項23に記載の発明に依れば、請求項15乃至21のいずれか一項に記載の効果に加えて、半導体プロセス適合性や信頼性が既に認証されているアルミ金属を用いたアルミシリサイド薄膜166は、単結晶シリコンやパッシベーション膜18に比べて弾性に富み、パッシベーション膜18から多結晶シリコン高抵抗薄膜162や高抵抗拡散抵抗薄膜162に加えられる応力を吸収する良好な弾性体（応力吸収体）の機能を果たす。これに依り、プロセス安定性を損なうことなく、作製プロセス中や作製後の多結晶シリコン高抵抗薄膜162や高抵抗拡散抵抗薄膜162内にパッシベーション膜18によって発生される応力歪をやわらげることができ、応力歪を一要因とすると考えられる多結晶シリコン高抵抗薄膜162や高抵抗拡散抵抗薄膜162の目標抵抗値と作製後の抵抗値とのずれを極力減少させることができる。この結果、多結晶シリコン高抵抗薄膜162や高抵抗拡散抵抗薄膜162を作製する場合に多結晶シリコン高抵抗薄膜162や高抵抗拡散抵抗薄膜162の抵抗値を高い精度で目標の高抵抗値に制御することができるようになり、即ち、プロセス安定性を損なうことなく、且つ低いプロセスコストを以て、高い抵抗値制御性を実現することができるといった効果を奏する。

30 【0055】請求項24に記載の発明は、請求項15乃至21のいずれか一項に記載の半導体装置において、前記応力緩衝膜166は、アルミ金属及び銅金属を含むシリサイド薄膜であることを特徴とする半導体装置10である。

【0056】請求項24に記載の発明に依れば、請求項15乃至21のいずれか一項に記載の効果に加えて、半導体プロセス適合性や信頼性が既に認証されているアルミ金属及び銅金属を用いたアルミ銅シリサイド薄膜166は、単結晶シリコンやパッシベーション膜18に比べて弾性に富み、パッシベーション膜18から多結晶シリコン高抵抗薄膜162や高抵抗拡散抵抗薄膜162に加えられる応力を吸収する良好な弾性体（応力吸収体）の機能を果たす。これに依り、プロセス安定性を損なうことなく、作製プロセス中や作製後の多結晶シリコン高抵抗

薄膜 162 や高抵抗拡散抵抗薄膜 162 内にパッシベーション膜 18 によって発生される応力歪をやわらげることができ、応力歪を一要因とすると考えられる多結晶シリコン高抵抗薄膜 162 や高抵抗拡散抵抗薄膜 162 の目標抵抗値と作製後の抵抗値とのずれを極力減少させることができる。この結果、多結晶シリコン高抵抗薄膜 162 や高抵抗拡散抵抗薄膜 162 を作製する場合に多結晶シリコン高抵抗薄膜 162 や高抵抗拡散抵抗薄膜 162 の抵抗値を高い精度で目標の高抵抗値に制御することができるようになり、即ち、プロセス安定性を損なうことなく、且つ低いプロセスコストを以て、高い抵抗値制御性を実現することができるという効果を奏する。

【0057】請求項 25 に記載の発明は、請求項 15 乃至 21 のいずれか一項に記載の半導体装置において、前記応力緩衝膜 166 は、多結晶シリコン膜を含む薄膜であることを特徴とする半導体装置 10 である。

【0058】請求項 25 に記載の発明に依れば、請求項 15 乃至 21 のいずれか一項に記載の効果に加えて、半導体プロセス適合性及信頼性が既に認証されている多結晶シリコン薄膜は、単結晶シリコンやパッシベーション膜 18 に比べて弾性に富み、パッシベーション膜 18 から多結晶シリコン高抵抗薄膜 162 や高抵抗拡散抵抗薄膜 162 に加えられる応力を吸収する良好な弾性体（応力吸収体）の機能を果たす。これに依り、プロセス安定性を損なうことなく、作製プロセス中や作製後の多結晶シリコン高抵抗薄膜 162 や高抵抗拡散抵抗薄膜 162 内にパッシベーション膜 18 によって発生される応力歪をやわらげることができ、応力歪を一要因とすると考えられる多結晶シリコン高抵抗薄膜 162 や高抵抗拡散抵抗薄膜 162 の目標抵抗値と作製後の抵抗値とのずれを極力減少させることができる。この結果、多結晶シリコン高抵抗薄膜 162 や高抵抗拡散抵抗薄膜 162 を作製する場合に多結晶シリコン高抵抗薄膜 162 や高抵抗拡散抵抗薄膜 162 の抵抗値を高い精度で目標の高抵抗値に制御することができるようになり、即ち、プロセス安定性を損なうことなく、且つ低いプロセスコストを以て、高い抵抗値制御性を実現することができるという効果を奏する。

【0059】請求項 26 に記載の発明は、請求項 15 乃至 21 のいずれか一項に記載の半導体装置において、前記応力緩衝膜 166 は、多結晶シリコン膜 166 を含むポリサイド薄膜 166 であることを特徴とする半導体装置 10 である。

【0060】請求項 26 に記載の発明に依れば、請求項 15 乃至 21 のいずれか一項に記載の効果に加えて、半導体プロセス適合性及信頼性が既に認証されている多結晶シリコン膜 166 を用いたポリサイド薄膜 166 は、単結晶シリコンやパッシベーション膜 18 に比べて弾性に富み、パッシベーション膜 18 から多結晶シリコン高抵抗薄膜 162 や高抵抗拡散抵抗薄膜 162 に加えられる応

力を吸収する良好な弾性体（応力吸収体）の機能を果たす。これに依り、プロセス安定性を損なうことなく、作製プロセス中や作製後の多結晶シリコン高抵抗薄膜 162 や高抵抗拡散抵抗薄膜 162 内にパッシベーション膜 18 によって発生される応力歪をやわらげることができ、応力歪を一要因とすると考えられる多結晶シリコン高抵抗薄膜 162 や高抵抗拡散抵抗薄膜 162 の目標抵抗値と作製後の抵抗値とのずれを極力減少させることができる。この結果、多結晶シリコン高抵抗薄膜 162 や高抵抗拡散抵抗薄膜 162 を作製する場合に多結晶シリコン高抵抗薄膜 162 や高抵抗拡散抵抗薄膜 162 の抵抗値を高い精度で目標の高抵抗値に制御することができるようになり、即ち、プロセス安定性を損なうことなく、且つ低いプロセスコストを以て、高い抵抗値制御性を実現することができるという効果を奏する。

【0061】請求項 27 に記載の発明は、請求項 16 乃至 26 のいずれか一項に記載の半導体装置において、前記基板 12 は、接地電位  $V_{GND}$  に接続された状態で当該接地電位  $V_{GND}$  に固定されていることを特徴とする半導体装置 10 である。

【0062】請求項 27 に記載の発明に依れば、請求項 16 乃至 26 のいずれか一項に記載の効果に加えて、応力緩衝膜 166 の電位を一定電位に固定すると同時に、基板 12 の電位を接地電位  $V_{GND}$  に固定してパッシベーション膜 18 - 多結晶シリコン高抵抗薄膜 162 又は高抵抗拡散抵抗薄膜 162 間を一定電場に保持することにより、パッシベーション膜 18 に含まれる水素原子を含む不純物やパッシベーション膜 18 作製時のプラズマプロセス雰囲気中に含まれる水素原子を含む不純物が多結晶シリコン高抵抗薄膜 162 や高抵抗拡散抵抗薄膜 162 に侵入する現象を電場の作用を借りて更に効果的に回避できる。この結果、高抵抗に制御された多結晶シリコン高抵抗薄膜 162 や高抵抗拡散抵抗薄膜 162 における製造当初の高抵抗値を維持して経時変化を更に効果的に低減することができるようになるという効果を奏する。

【0063】請求項 28 に記載の発明は、請求項 16 乃至 26 のいずれか一項に記載の半導体装置において、前記基板 12 は、電源電位  $V_{DD}$  に接続された状態で当該電源電位  $V_{DD}$  に固定されていることを特徴とする半導体装置 10 である。

【0064】請求項 28 に記載の発明に依れば、請求項 16 乃至 26 のいずれか一項に記載の効果に加えて、応力緩衝膜 166 の電位を一定電位に固定すると同時に、基板 12 の電位を電源電位  $V_{DD}$  に固定してパッシベーション膜 18 - 多結晶シリコン高抵抗薄膜 162 又は高抵抗拡散抵抗薄膜 162 間を一定電場に保持することにより、パッシベーション膜 18 に含まれる水素原子を含む不純物やパッシベーション膜 18 作製時のプラズマプロセス雰囲気中に含まれる水素原子を含む不純物が多結晶

シリコン高抵抗薄膜 162 や高抵抗拡散抵抗薄膜 162 に侵入する現象を電場の作用を借りて更に効果的に回避できる。この結果、高抵抗に制御された多結晶シリコン高抵抗薄膜 162 や高抵抗拡散抵抗薄膜 162 における製造当初の高抵抗値を維持して経時の変化を更に効果的に低減することができるようになるといった効果を奏する。

【0065】請求項 29 に記載の発明は、請求項 1 乃至 10 のいずれか一項に記載の半導体装置において、前記抵抗体構造 16 は、ストライプ形状に形成された複数本の前記高抵抗薄膜 162 と、隣接する当該高抵抗薄膜 162 の終端間を交互に接続するように形成され当該高抵抗薄膜 162 を直列接続して所望の抵抗値を得るための低抵抗薄膜 168 とを有し、前記不純物遮断薄膜 164 は、前記高抵抗薄膜 162 の表面を少なくとも被覆する様に形成されていることを特徴とする半導体装置 10 である。

【0066】請求項 29 に記載の発明に依れば、請求項 1 乃至 10 のいずれか一項に記載の効果に加えて、ストライプ形状の抵抗体構造 16 を構成する多結晶シリコン高抵抗薄膜 162 や高抵抗拡散抵抗薄膜 162 の表面を含んで不純物遮断薄膜 164 を用いて被覆することにより、プロセスばらつきに起因して多結晶シリコン高抵抗薄膜 162 や高抵抗拡散抵抗薄膜 162 の位置にばらつきが発生した場合であっても、パッシベーション膜 18 に含まれる水素原子を含む不純物やパッシベーション膜 18 作製時のプラズマプロセス雰囲気中に含まれる水素原子を含む不純物が多結晶シリコン高抵抗薄膜 162 や高抵抗拡散抵抗薄膜 162 に侵入する現象を確実に回避でき、プロセス信頼性を向上させることができるようになるといった効果を奏する。この結果、高抵抗に制御された多結晶シリコン高抵抗薄膜 162 や高抵抗拡散抵抗薄膜 162 における製造当初の高抵抗値を維持して経時の変化を低減することが高いプロセス信頼性を以て実現できるようになるといった効果を奏する。

【0067】請求項 30 に記載の発明は、請求項 29 に記載の半導体装置において、前記不純物遮断薄膜 164 は、前記高抵抗薄膜 162 の表面を被覆すると共に、前記低抵抗薄膜 168 との接続部分近傍の薄膜表面を被覆する様に形成されていることを特徴とする半導体装置 10 である。

【0068】請求項 30 に記載の発明に依れば、請求項 29 に記載の効果に加えて、ストライプ形状の抵抗体構造 16 を構成する多結晶シリコン高抵抗薄膜 162 や高抵抗拡散抵抗薄膜 162 の表面に加えて、多結晶シリコン高抵抗薄膜 162 や高抵抗拡散抵抗薄膜 162 と低抵抗薄膜 168 との界面の辺縁部までを含んで不純物遮断薄膜 164 を用いて被覆することにより、プロセスばらつきに起因して多結晶シリコン高抵抗薄膜 162 や高抵抗拡散抵抗薄膜 162 と低抵抗薄膜 168 との位置関係にばらつきが発生した場合であっても、パッシベーション膜

18 に含まれる水素原子を含む不純物やパッシベーション膜 18 作製時のプラズマプロセス雰囲気中に含まれる水素原子を含む不純物が多結晶シリコン高抵抗薄膜 162 や高抵抗拡散抵抗薄膜 162 に侵入する現象を確実に回避でき、プロセス信頼性を向上させることができるようになるといった効果を奏する。この結果、高抵抗に制御された多結晶シリコン高抵抗薄膜 162 や高抵抗拡散抵抗薄膜 162 における製造当初の高抵抗値を維持して経時の変化を低減することが高いプロセス信頼性を以て実現できるようになるといった効果を奏する。

【0069】請求項 31 に記載の発明は、請求項 29 に記載の半導体装置において、前記不純物遮断薄膜 164 は、前記高抵抗薄膜 162 の表面及び前記接続部分近傍の表面を被覆すると共に、前記基板 12 上の絶縁薄膜 14 上を被覆する様に形成されていることを特徴とする半導体装置 10 である。

【0070】請求項 31 に記載の発明に依れば、請求項 29 に記載の効果に加えて、ストライプ形状の抵抗体構造 16 を構成する多結晶シリコン高抵抗薄膜 162 や高抵抗拡散抵抗薄膜 162 の表面、多結晶シリコン高抵抗薄膜 162 や高抵抗拡散抵抗薄膜 162 と低抵抗薄膜 168 との界面の辺縁部に加えて、基板 12 上の絶縁薄膜 14 上までを含んで不純物遮断薄膜 164 を用いて被覆することにより、プロセスばらつきに起因して多結晶シリコン高抵抗薄膜 162 や高抵抗拡散抵抗薄膜 162 の基板 12 上での位置、低抵抗薄膜 168 の基板 12 上での位置にばらつきが発生した場合であっても、パッシベーション膜 18 に含まれる水素原子を含む不純物やパッシベーション膜 18 作製時のプラズマプロセス雰囲気中に含まれる水素原子を含む不純物が多結晶シリコン高抵抗薄膜 162 や高抵抗拡散抵抗薄膜 162 に侵入する現象を確実に回避でき、プロセス信頼性を向上させることができるようになるといった効果を奏する。この結果、高抵抗に制御された多結晶シリコン高抵抗薄膜 162 や高抵抗拡散抵抗薄膜 162 における製造当初の高抵抗値を維持して経時の変化を低減することが高いプロセス信頼性を以て実現できるようになるといった効果を奏する。

【0071】請求項 32 に記載の発明は、請求項 29 に記載の半導体装置において、前記不純物遮断薄膜 164 は、前記高抵抗薄膜 162 の表面及び前記接続部分近傍の表面を被覆すると共に、前記高抵抗薄膜 162 近傍の前記絶縁薄膜 14 上の所定範囲を被覆する様に形成されていることを特徴とする半導体装置 10 である。

【0072】請求項 32 に記載の発明に依れば、請求項 29 に記載の効果と同様の効果を奏する。

【0073】請求項 33 に記載の発明は、請求項 29 に記載の半導体装置において、前記不純物遮断薄膜 164 は、前記高抵抗薄膜 162 の表面及び前記基板 12 上の絶縁薄膜 14 上を被覆する様に形成されていることを特徴とする半導体装置 10 である。

【0074】請求項33に記載の発明に依れば、請求項29に記載の効果と同様の効果を奏する。

【0075】請求項34に記載の発明は、請求項29乃至33のいずれか一項に記載の半導体装置において、前記抵抗体構造16A、16B、16C、16D、16E、16F、16Gが複数直列に接続されて構成されたラダー回路20を有することを特徴とする半導体装置10である。

【0076】請求項34に記載の発明に依れば、請求項29乃至33のいずれか一項に記載の効果に加えて、前述したような抵抗体構造16A、16B、16C、16D、16E、16F、16Gを複数直列に接続してラダー回路20を構成されているので、製造当初の高抵抗値を維持でき、更に経時変化を低減することができるラダー回路20を実現できる。更に、多結晶シリコン高抵抗薄膜162や高抵抗拡散抵抗薄膜162の抵抗値を高い精度で目標の高抵抗値に制御することができるようになり、即ち、高い抵抗値制御性を有するラダー回路20を実現することができる。

【0077】請求項35に記載の発明は、請求項34に記載の半導体装置において、前記ラダー回路20は、前記複数の抵抗体構造16A、16B、16C、16D、16E、16F、16Gが抵抗値に関して昇順に接続されて構成されると共に、隣接する当該抵抗体構造16A、16B、16C、16D、16E、16F、16Gの抵抗比が2であることを特徴とする半導体装置10である。

【0078】請求項35に記載の発明に依れば、請求項34に記載の効果に加えて、ラダー回路20における各抵抗体構造16A、16B、16C、16D、16E、16F、16Gの抵抗値を1、2、4、8、16、32、64といった抵抗比に設定できるようになるといった効果を奏する。これに依り、これらの抵抗値を直列に接続して組み合わせることによって所望の抵抗網を構成できる結果、所望の抵抗値を有するラダー回路20をコンパクトな回路構成で実現することができるという効果を奏する。

【0079】請求項36に記載の発明は、請求項34に記載の半導体装置において、前記ラダー回路20は、前記複数の抵抗体構造16A、16B、16C、16D、16E、16F、16Gが2のべき乗の抵抗比で昇順に接続されて構成されることを特徴とする半導体装置10である。

【0080】請求項36に記載の発明に依れば、請求項34に記載の効果と同様の効果を奏する。

【0081】請求項37に記載の発明は、請求項35又は36に記載の半導体装置において、前記ラダー回路20を構成する前記抵抗体構造16A、16B、16C、16D、16E、16F、16Gの両端にはノードn1、n2、n3、n4、n5、n6、n7、n8が各々設けら

れ、前記ノードn1、n2、n3、n4、n5、n6、n7、n8を選択することにより前記ラダー回路20の抵抗値を所望の値に設定するように構成されていることを特徴とする半導体装置10である。

【0082】請求項37に記載の発明に依れば、請求項35又は36に記載の効果に加えて、ラダー回路20におけるノードn1、n2、n3、n4、n5、n6、n7、n8間の抵抗値を1、2、4、8、16、32、64といった抵抗比に設定できるようになるといった効果を奏する。これに依り、これらのノードn1、n2、n3、n4、n5、n6、n7、n8間を直列に接続して組み合わせることによって所望の抵抗網を構成できる結果、所望の抵抗値を有するラダー回路20をコンパクトな回路構成で実現することができるという効果を奏する。

【0083】請求項38に記載の発明は、請求項37に記載の半導体装置において、前記ラダー回路20は、前記抵抗体構造16A、16B、16C、16D、16E、16F、16Gの両端の前記ノードn1、n2、n3、n4、n5、n6、n7、n8間を短絡して前記ラダー回路20の抵抗値を所望の抵抗値に設定するためのヒューズ21A、21B、21C、21D、21E、21F、21Gが設けられていることを特徴とする半導体装置10である。

【0084】請求項38に記載の発明に依れば、請求項37に記載の効果に加えて、ラダー回路20におけるノードn1、n2、n3、n4、n5、n6、n7、n8間の抵抗値を1、2、4、8、16、32、64といった抵抗比に設定できるようになるといった効果を奏する。これに依り、これらのノードn1、n2、n3、n4、n5、n6、n7、n8間を直列に接続したり短絡して組み合わせることによって所望の抵抗網を構成できる結果、所望の抵抗値を有するラダー回路20をコンパクトな回路構成で実現することができるという効果を奏する。

【0085】請求項39に記載の発明は、請求項34乃至38のいずれか一項に記載の半導体装置において、負荷に供給される出力電圧V<sub>out</sub>を一定に保持する定電圧電源30である半導体装置において、基準電圧V<sub>ref</sub>を生成する基準電源32と、電流を与えられた際に当該電流の大きさに応じた出力電圧V<sub>out</sub>を生成する出力電圧V<sub>out</sub>設定用抵抗網と、前記出力電圧V<sub>out</sub>設定用抵抗網に制御電流を与えて当該出力電圧V<sub>out</sub>設定用抵抗網の出力ノードNを一定電圧値に制御するための制御トランジスタ34と、前記出力ノードNからの出力電圧V<sub>out</sub>と前記基準電圧V<sub>ref</sub>との電圧差ΔVを求め所定倍率に増幅して誤差信号33aを生成すると共に、当該誤差信号33aを前記制御トランジスタ34に与えて前記出力電圧V<sub>out</sub>設定用抵抗網に対する定電圧制御を促す誤差増幅器33とを有し、前記出力電圧V<sub>out</sub>設定用抵抗網が前記ラダー回路20を用いて構成され、当該ラダー回路20の任意のノードn1、n2、n3、n4、n5、n6、

n7、n8が前記出力ノードNに選択されて前記出力電圧Voutが生成されるように構成されていることを特徴とする半導体装置10である。

【0086】請求項39に記載の発明に依れば、請求項34乃至38のいずれか一項に記載の効果に加えて、前述したような抵抗体構造16A、16B、16C、16D、16E、16F、16Gを複数直列に接続して出力電圧設定用抵抗網35A、35Bを構成されているので、製造当初の高抵抗値を維持でき、更に経時の変化を低減することができる出力電圧設定用抵抗網35A、35Bを実現できる。更に、多結晶シリコン高抵抗薄膜162や高抵抗拡散抵抗薄膜162の抵抗値を高い精度で目標の高抵抗値に制御することができるようになり、即ち、高い抵抗値制御性を有する出力電圧設定用抵抗網35A、35Bを実現することができる。この結果、経時の変化が少なく高い抵抗値制御性を有する出力電圧Vout設定用抵抗網が実現でき、経時の変化が少なく高精度の定電圧制御を制御トランジスタ34が実行できるようになり、経時の変化が少なく高精度の誤差信号33aを誤差増幅器33が生成できるようになるといった効果を奏する。

【0087】

【発明の実施の形態】始めに、図面に基づき、抵抗体構造の一実施形態を説明する。

【0088】図1は、本発明の半導体装置10の一実施形態を説明するための素子断面図である。図2は、図1の半導体装置10のA-A素子断面図である。図3は、図1の半導体装置10の素子上面図である。

【0089】図1及び図2に示す抵抗体構造16は、多結晶シリコン（ポリシリコン）膜166に不純物がイオン注入法等を用いてドーピングされて成る高抵抗の抵抗体である高抵抗薄膜162が基板12上の絶縁薄膜14上に形成され、多結晶シリコン膜166を用いて所定の抵抗形状にパターンニングされ抵抗体として機能薄膜である高抵抗薄膜162と、絶縁体を用いて高抵抗薄膜162の表面に接触した状態で表面を被覆する不純物遮断薄膜164とで構成されている。

【0090】図3（a）は、抵抗体構造16の抵抗形状の第1実施形態であり、図3（b）は、抵抗体構造16の抵抗形状の第2実施形態である。

【0091】更に、抵抗体構造16は、図3（a）又は図3（b）に示すように、ストライプ形状に形成された複数本のp-Si高抵抗薄膜162の終端間を交互に接続するように形成され、p-Si高抵抗薄膜162を直列接続して所望の抵抗値を得るための低抵抗薄膜168を有している。低抵抗薄膜168のシート抵抗値は5～100Ω/□程度が望ましい。

【0092】更に、抵抗体構造16上には、図1及び図2に示すように、パッシベーション膜18が、高抵抗薄膜162上に密着して形成されている。本実施形態で

は、パッシベーション膜18としてリンガラス（PSGと略称する）を用いることが望ましい。以下の説明では、パッシベーション膜18をPSG18で代表することにする。

【0093】この場合、前述の酸化シリコン薄膜164は、PSG18からp-Si高抵抗薄膜162表面への水素含有不純物の浸入を遮蔽することになる。

【0094】本実施形態では、PSG18の膜厚は200～600nmの範囲で設定されることが望ましい。

【0095】即ち、酸化シリコン薄膜164を用いてp-Si高抵抗薄膜162や高抵抗拡散抵抗薄膜162の表面を被覆することにより、PSG薄膜18に含まれる水素含有不純物やPSG薄膜18作製時のプラズマプロセス雰囲気中に含まれる水素含有不純物がp-Si高抵抗薄膜162や高抵抗拡散抵抗薄膜162に侵入する現象を回避できる。この結果、500Ω/□～1M/□程度の高いシート抵抗値に制御されたp-Si高抵抗薄膜162や高抵抗拡散抵抗薄膜162における製造当初の高抵抗値を維持して経時の変化を低減することができるようになる。更に、ポリサイド薄膜166はPSG薄膜18からp-Si高抵抗薄膜162や高抵抗拡散抵抗薄膜162に加えられる応力に対するクッションの機能を果たす。これに依り、作製プロセス中や作製後のp-Si高抵抗薄膜162や高抵抗拡散抵抗薄膜162内にPSG薄膜18によって発生される応力歪が残留する現象を回避でき、応力歪を一要因とすると考えられるp-Si高抵抗薄膜162や高抵抗拡散抵抗薄膜162の目標抵抗値と作製後の抵抗値とのずれを極力減少させることができる。この結果、p-Si高抵抗薄膜162や高抵抗拡散抵抗薄膜162を作製する場合にp-Si高抵抗薄膜162や高抵抗拡散抵抗薄膜162の抵抗値を高い精度で目標の高抵抗値に制御することができるようになり、即ち、高い抵抗値制御性を実現することができるようになる。

【0096】具体的な高抵抗薄膜162は、多結晶シリコン膜166にリン（元素記号：P）、ヒ素（元素記号：As）、ボロン（元素記号：B）等の不純物がイオン注入法等を用いてドーピングされた抵抗体であって、500Ω/□～1M/□程度のシート抵抗値を有している。以降、この様な高抵抗薄膜162を多結晶シリコン高抵抗薄膜162と総称することにする。

【0097】また絶縁薄膜14としては、シリコンの酸化物（例えば、酸化シリコン）、窒化物（例えば、窒化シリコン）等を用いることが望ましい。以下の説明では、絶縁薄膜14を酸化シリコン薄膜14で代表することにする。

【0098】p-Si高抵抗薄膜162は、図1及び図2に示すように、シリコン半導体基板12（以降、Si基板12と略す）上の酸化シリコン薄膜14上に形成され、図3に示すように、多結晶シリコン膜166を用いてストライプ状の抵抗形状にパターンニングされて構成さ

れている。

【0099】ここで、シリコン半導体基板12は、接地電位V<sub>GND</sub>に接続された状態で接地電位V<sub>GND</sub>に固定されていることが望ましい。この場合、ポリサイド薄膜166の電位を一定電位に固定すると同時に、シリコン半導体基板12の電位を接地電位V<sub>GND</sub>に固定してPSG18-p-Si高抵抗薄膜162又は高抵抗拡散抵抗薄膜162間を一定電場に保持することにより、PSG18に含まれる水素含有不純物やPSG18作製時のプラズマプロセス雰囲気中に含まれる水素含有不純物がp-Si高抵抗薄膜162や高抵抗拡散抵抗薄膜162に侵入する現象を電場の作用を借りて更に効果的に回避できる。この結果、500Ω/□〜1M/□程度の高いシート抵抗値に制御されたp-Si高抵抗薄膜162や高抵抗拡散抵抗薄膜162における製造当初の高抵抗値を維持して経時変化を更に効果的に低減することができるようになる。

【0100】また、シリコン半導体基板12は、電源電位V<sub>DD</sub>に接続された状態で電源電位V<sub>DD</sub>に固定されていてもよい。この場合、ポリサイド薄膜166の電位を一定電位に固定すると同時に、シリコン半導体基板12の電位を電源電位V<sub>DD</sub>に固定してPSG18-p-Si高抵抗薄膜162又は高抵抗拡散抵抗薄膜162間を一定電場に保持することにより、PSG18に含まれる水素含有不純物やPSG18作製時のプラズマプロセス雰囲気中に含まれる水素含有不純物がp-Si高抵抗薄膜162や高抵抗拡散抵抗薄膜162に侵入する現象を電場の作用を借りて更に効果的に回避できる。この結果、500Ω/□〜1M/□程度の高いシート抵抗値に制御されたp-Si高抵抗薄膜162や高抵抗拡散抵抗薄膜162における製造当初の高抵抗値を維持して経時変化を更に効果的に低減することができるようになる。

【0101】不純物遮断薄膜164は、絶縁体を用いてp-Si高抵抗薄膜162の表面に接触した状態で表面を被覆するように形成されている。また不純物遮断薄膜164は、絶縁体を用いてp-Si高抵抗薄膜162の周囲に形成され周囲からp-Si高抵抗薄膜162表面への不純物の浸入を遮蔽する機能薄膜である。本実施形態では、不純物として特に水素原子を含む不純物を想定している。以下の説明では、不純物を水素含有不純物で代表することにする。

【0102】不純物遮断薄膜164に用いられる絶縁体としては、シリコンの酸化物（例えば、酸化シリコン）、窒化物（例えば、窒化シリコン）等を用いることが望ましい。以下の説明では、不純物遮断薄膜164を酸化シリコン薄膜164で代表することにする。

【0103】本実施形態では、酸化シリコン薄膜164の膜厚は400〜1000nmの範囲で設定されることが望ましい。

【0104】即ち、酸化シリコン薄膜164を設けるこ

とに依り、500Ω/□〜1M/□といった高い抵抗値の範囲に制御されたp-Si高抵抗薄膜162における製造当初の高抵抗値を維持して経時変化を低減することができるようになる。更に、応力歪を一要因とすると考えられるp-Si高抵抗薄膜162の目標抵抗値と作製後の抵抗値とのずれを500Ω/□〜1M/□といった抵抗値の範囲において極力減少させることができる。この結果、高抵抗のp-Si高抵抗薄膜162を作製する場合にp-Si高抵抗薄膜162の抵抗値を高い精度で目標の高抵抗値に制御することができるようになり、即ち、高い抵抗値制御性を実現することができるようになる。更に、不純物遮断薄膜164である絶縁体を用いてp-Si高抵抗薄膜162の表面を被覆することにより、配線パターンやPSG18に含まれる水素含有不純物やプラズマプロセス雰囲気中に含まれる水素含有不純物がp-Si高抵抗薄膜162に侵入する現象を回避できる。この結果、500Ω/□〜1M/□程度の高いシート抵抗値に制御されたp-Si高抵抗薄膜162における製造当初の高抵抗値を維持して経時変化を低減することができるようになる。

【0105】酸化シリコン薄膜164は、図3(a)又は図3(b)に示すように、p-Si高抵抗薄膜162の表面を少なくとも被覆する様に形成されていることが望ましい。

【0106】本実施形態では、図3(a)に示すように、p-Si高抵抗薄膜162の表面及び接続部分近傍の表面を被覆すると同時に、シリコン半導体基板12上の酸化シリコン薄膜14上を被覆する様に酸化シリコン薄膜164を形成している。

【0107】即ち、ストライプ形状の抵抗体構造16を構成するp-Si高抵抗薄膜162や高抵抗拡散抵抗薄膜162の表面、p-Si高抵抗薄膜162や高抵抗拡散抵抗薄膜162と低抵抗薄膜168との界面の辺縁部に加えて、シリコン半導体基板12上の酸化シリコン薄膜14上までを含んで酸化シリコン薄膜164を用いて被覆することにより、プロセスばらつきに起因してp-Si高抵抗薄膜162や高抵抗拡散抵抗薄膜162のシリコン半導体基板12上での位置、低抵抗薄膜168のシリコン半導体基板12上での位置にばらつきが発生した場合であっても、PSG18に含まれる水素含有不純物やPSG18作製時のプラズマプロセス雰囲気中に含まれる水素含有不純物がp-Si高抵抗薄膜162や高抵抗拡散抵抗薄膜162に侵入する現象を確実に回避でき、プロセス信頼性を向上させることができるようになる。この結果、500Ω/□〜1M/□程度の高いシート抵抗値に制御されたp-Si高抵抗薄膜162や高抵抗拡散抵抗薄膜162における製造当初の高抵抗値を維持して経時変化を低減することが高いプロセス信頼性を以て実現できるようになる。

【0108】また、図3(b)に示すように、p-Si



高抵抗薄膜162の表面及び接続部分近傍の表面を被覆すると同時に、p-Si高抵抗薄膜162近傍の酸化シリコン薄膜14上の所定範囲を被覆する様に酸化シリコン薄膜164を形成してもよい。

【0109】この様に、ストライプ形状の抵抗体構造16を構成するp-Si高抵抗薄膜162や高抵抗拡散抵抗薄膜162の表面を含んで酸化シリコン薄膜164を用いて被覆することにより、プロセスばらつきに起因してp-Si高抵抗薄膜162や高抵抗拡散抵抗薄膜162の位置にばらつきが発生した場合であっても、PSG18に含まれる水素含有不純物やPSG18作製時のプラズマプロセス雰囲気中に含まれる水素含有不純物がp-Si高抵抗薄膜162や高抵抗拡散抵抗薄膜162に侵入する現象を確実に回避でき、プロセス信頼性を向上させることができるようになる。この結果、500Ω/□~1M/□程度の高いシート抵抗値に制御されたp-Si高抵抗薄膜162や高抵抗拡散抵抗薄膜162における製造当初の高抵抗値を維持して経時変化を低減することが高いプロセス信頼性を以て実現できるようになる。

【0110】応力緩衝膜166は、酸化シリコン薄膜164に接触した状態で酸化シリコン薄膜164の周囲に形成され、酸化シリコン薄膜164の周囲から加えられる応力歪を緩和する機能薄膜である。

【0111】応力緩衝膜166は、PSG18から酸化シリコン薄膜164に加えられる応力歪を緩和する機能薄膜である。即ち、応力緩衝膜166は、PSG18からp-Si高抵抗薄膜162や高抵抗拡散抵抗薄膜162に加えられる応力を吸収する良好な応力吸収体の機能を果たす。これに依り、作製プロセス中や作製後のp-Si高抵抗薄膜162や高抵抗拡散抵抗薄膜162内にPSG18によって発生される応力歪をやわらげることができ、応力歪を一要因とすると考えられるp-Si高抵抗薄膜162や高抵抗拡散抵抗薄膜162の目標抵抗値と作製後の抵抗値とのずれを極力減少させることができる。この結果、p-Si高抵抗薄膜162や高抵抗拡散抵抗薄膜162を作製する場合にp-Si高抵抗薄膜162や高抵抗拡散抵抗薄膜162の抵抗値を高い精度で目標の高抵抗値に制御することができるようになり、即ち、高い抵抗値制御性を実現することができるようになる。

【0112】具体的な応力緩衝膜166としては、Al単体薄膜、Al-Si合金薄膜、Al-Si-Cu等の金属薄膜と多結晶シリコン膜166とから生成されるポリサイド薄膜166を用いることが望ましい。本実施形態では、ポリサイド薄膜166の膜厚は500~2000nmの範囲で設定されることが望ましい。以下の説明では、応力緩衝膜166をポリサイド薄膜166で代表することにする。

【0113】即ち、半導体プロセス適合性や信頼性が既に認証されている多結晶シリコン膜166を用いたポリサイド薄膜166は、単結晶シリコンやPSG18に比

べて弾性に富み、PSG18からp-Si高抵抗薄膜162や高抵抗拡散抵抗薄膜162に加えられる応力を吸収する良好な応力吸収体の機能を果たす。これに依り、プロセス安定性を損なうことなく、作製プロセス中や作製後のp-Si高抵抗薄膜162や高抵抗拡散抵抗薄膜162内にPSG18によって発生される応力歪をやわらげることができ、応力歪を一要因とすると考えられるp-Si高抵抗薄膜162や高抵抗拡散抵抗薄膜162の目標抵抗値と作製後の抵抗値とのずれを極力減少させることができる。この結果、p-Si高抵抗薄膜162や高抵抗拡散抵抗薄膜162を作製する場合にp-Si高抵抗薄膜162や高抵抗拡散抵抗薄膜162の抵抗値を高い精度で目標の高抵抗値に制御することができるようになり、即ち、プロセス安定性を損なうことなく、且つ低いプロセスコストを以て、高い抵抗値制御性を実現することができるようになる。

【0114】なお、応力緩衝膜166としては、アルミ金属（元素記号：Al）を含む金属薄膜（具体的には、Al単体薄膜、Al-Si合金薄膜、Al-Si-Cu合金薄膜等の導電性薄膜）を用いることもできる。この場合、半導体プロセス適合性や信頼性が既に認証されているアルミ金属を用いた薄膜は、単結晶シリコンやPSG18に比べて弾性に富み、PSG18からp-Si高抵抗薄膜162や高抵抗拡散抵抗薄膜162に加えられる応力を吸収する良好な応力吸収体の機能を果たす。これに依り、プロセス安定性を損なうことなく、作製プロセス中や作製後のp-Si高抵抗薄膜162や高抵抗拡散抵抗薄膜162内にPSG18によって発生される応力歪をやわらげることができ、応力歪を一要因とすると考えられるp-Si高抵抗薄膜162や高抵抗拡散抵抗薄膜162の目標抵抗値と作製後の抵抗値とのずれを極力減少させることができる。この結果、p-Si高抵抗薄膜162や高抵抗拡散抵抗薄膜162を作製する場合にp-Si高抵抗薄膜162や高抵抗拡散抵抗薄膜162の抵抗値を高い精度で目標の高抵抗値に制御することができるようになり、即ち、プロセス安定性を損なうことなく、且つ低いプロセスコストを以て、高い抵抗値制御性を実現することができるようになる。また、アルミ金属を含むシリサイド薄膜を用いることもできる。この場合、半導体プロセス適合性や信頼性が既に認証されているアルミ金属を用いたアルミシリサイド薄膜166は、単結晶シリコンやPSG18に比べて弾性に富み、PSG18からp-Si高抵抗薄膜162や高抵抗拡散抵抗薄膜162に加えられる応力を吸収する良好な応力吸収体の機能を果たす。これに依り、プロセス安定性を損なうことなく、作製プロセス中や作製後のp-Si高抵抗薄膜162や高抵抗拡散抵抗薄膜162内にPSG18によって発生される応力歪をやわらげることができ、応力歪を一要因とすると考えられるp-Si高抵抗薄膜162や高抵抗拡散抵抗薄膜162の目標抵抗値と作製後の抵



抗値とのずれを極力減少させることができる。この結果、 $p-Si$ 高抵抗薄膜162や高抵抗拡散抵抗薄膜162を作製する場合に $p-Si$ 高抵抗薄膜162や高抵抗拡散抵抗薄膜162の抵抗値を高い精度で目標の高抵抗値に制御することができるようになり、即ち、プロセス安定性を損なうことなく、且つ低いプロセスコストを以て、高い抵抗値制御性を実現することができるようになる。また、アルミ金属及び銅金属を含むシリサイド薄膜を用いることもできる。この場合、半導体プロセス適合性や信頼性が既に認証されているアルミ金属及び銅金属を用いたアルミ銅シリサイド薄膜166は、単結晶シリコンやPSG18に比べて弾性に富み、PSG18から $p-Si$ 高抵抗薄膜162や高抵抗拡散抵抗薄膜162に加えられる応力を吸収する良好な応力吸収体の機能を果たす。これに依り、プロセス安定性を損なうことなく、作製プロセス中や作製後の $p-Si$ 高抵抗薄膜162や高抵抗拡散抵抗薄膜162内にPSG18によって発生される応力歪をやわらげることができ、応力歪を一要因とすると考えられる $p-Si$ 高抵抗薄膜162や高抵抗拡散抵抗薄膜162の目標抵抗値と作製後の抵抗値とのずれを極力減少させることができる。この結果、 $p-Si$ 高抵抗薄膜162や高抵抗拡散抵抗薄膜162を作製する場合に $p-Si$ 高抵抗薄膜162や高抵抗拡散抵抗薄膜162の抵抗値を高い精度で目標の高抵抗値に制御することができるようになり、即ち、プロセス安定性を損なうことなく、且つ低いプロセスコストを以て、高い抵抗値制御性を実現することができるようになる。また、ポリイミド樹脂を含む薄膜を用いることもできる。この場合、半導体プロセス適合性や信頼性が既に認証されているポリイミド樹脂薄膜は、PSG18から $p-Si$ 高抵抗薄膜162や高抵抗拡散抵抗薄膜162に加えられる応力を吸収する良好な応力吸収体の機能を果たす。これに依り、プロセス安定性を損なうことなく、作製プロセス中や作製後の $p-Si$ 高抵抗薄膜162や高抵抗拡散抵抗薄膜162内にPSG18によって発生される応力歪をやわらげることができ、応力歪を一要因とすると考えられる $p-Si$ 高抵抗薄膜162や高抵抗拡散抵抗薄膜162の目標抵抗値と作製後の抵抗値とのずれを極力減少させることができる。この結果、 $p-Si$ 高抵抗薄膜162や高抵抗拡散抵抗薄膜162を作製する場合に $p-Si$ 高抵抗薄膜162や高抵抗拡散抵抗薄膜162の抵抗値を高い精度で目標の高抵抗値に制御することができるようになり、即ち、プロセス安定性を損なうことなく、且つ低いプロセスコストを以て、高い抵抗値制御性を実現することができるようになる。

【0115】ポリサイド薄膜166は、電源電位 $V_{DD}$ に接続された状態で電源電位 $V_{DD}$ （具体的には、5VDC）に固定されていることが望ましい。なお、ポリサイド薄膜166は、接地電位 $V_{GND}$ に接続された状態で接地電位 $V_{GND}$ に固定されていても同様の作用効果を発揮す

る。また、ポリサイド薄膜166は、電源電位 $V_{DD}$ と接地電位 $V_{GND}$ との中間電位 $V_{DD}/2$ に接続された状態で中間電位 $V_{DD}/2$ に固定されていても同様の作用効果を発揮する。また、ポリサイド薄膜166の電位がフロート状態に維持されていても同様の作用効果を発揮する。

【0116】また、ポリサイド薄膜166が複数のブロックに分割されて形成されている場合、ブロックの各々は、電源電位 $V_{DD}$ 、接地電位 $V_{GND}$ 又は中間電位 $V_{DD}/2$ （ $=5/2=2.5$ ）の何れかに維持されてもよい。

【0117】これに依り、ポリサイド薄膜166のブロック毎に各々異なる電場に保持できるようになる。抵抗体構造16が複数のブロックに分割されて使用される場合であっても、各々ブロック毎に最も効果的な電位を選択することができるようになる。この結果、PSG18- $p-Si$ 高抵抗薄膜162又は高抵抗拡散抵抗薄膜162間をブロック毎に最適な一定電場に保持でき、PSG18に含まれる水素含有不純物やPSG18作製時のプラズマプロセス雰囲気中に含まれる水素含有不純物が $p-Si$ 高抵抗薄膜162や高抵抗拡散抵抗薄膜162に侵入する現象をブロック毎の最適な電場の作用を借りてブロック毎に効果的に回避できる。これに依り、 $500\Omega/\square \sim 1M/\square$ 程度の高いシート抵抗値に制御された $p-Si$ 高抵抗薄膜162や高抵抗拡散抵抗薄膜162における製造当初の高抵抗値を維持して経時変化をブロック毎に効果的に低減することができるようになる。

【0118】同様の主旨で、ポリサイド薄膜166が複数のブロックに分割されて形成されている場合、ブロックの全てが電源電位 $V_{DD}$ 、接地電位 $V_{GND}$ 又は中間電位 $V_{DD}/2$ の何れかに共通に維持されていてもよい。

【0119】これに依り、ポリサイド薄膜166の全ブロックを共通の電場に保持できるようになる。抵抗体構造16が複数のブロックに分割されて使用される場合であっても、全ブロック共通に最も効果的な共通電位を選択することができるようになる。この結果、PSG18- $p-Si$ 高抵抗薄膜162又は高抵抗拡散抵抗薄膜162間を全ブロック共通に最適な一定電場に保持でき、PSG18に含まれる水素含有不純物やPSG18作製時のプラズマプロセス雰囲気中に含まれる水素含有不純物が $p-Si$ 高抵抗薄膜162や高抵抗拡散抵抗薄膜162に侵入する現象を全ブロック共通な最適な電場の作用を借りて全ブロック共通に効果的に回避できる。これに依り、 $500\Omega/\square \sim 1M/\square$ 程度の高いシート抵抗値に制御された $p-Si$ 高抵抗薄膜162や高抵抗拡散抵抗薄膜162における製造当初の高抵抗値を維持して経時変化を全ブロック共通に効果的に低減することができるようになる。

【0120】なお、抵抗体構造16は、 $p-Si$ 高抵抗薄膜162に代えて、誘電体膜162を用いてストライプ状の抵抗形状にパターンニングされた高抵抗薄膜162

（以降、拡散高抵抗薄膜162と呼ぶ）と、絶縁体を用

いて拡散高抵抗薄膜162の周囲に形成され周囲から拡散高抵抗薄膜162表面への水素含有不純物の浸入を遮蔽する酸化シリコン薄膜164と、酸化シリコン薄膜164の周囲に形成され酸化シリコン薄膜164の周囲から加えられる応力歪を緩和するポリサイド薄膜166から構成されても、拡散高抵抗薄膜162の場合と同様の作用効果を発揮する。

【0121】図4は、図1の抵抗体構造16に対する高温バイアス試験の結果を説明するためのチャートである。

【0122】このような薄膜構造を有する抵抗体構造16に対して高温バイアス試験（HTB試験）を行った。チャート中のHは、ポリサイド薄膜166が電源電位VDDに接続された状態を意味し、Mは、ポリサイド薄膜166が中間電位VDD/2に接続された状態を意味し、Lは、ポリサイド薄膜166が接地電位VNDに接続された状態、無しは、フロート状態を意味している。図4に示すように、HTB試験時間が50時間以内において、p-Si高抵抗薄膜162における製造当初の高抵抗値が維持されて経時的変化が低減されていることが解る。

【0123】以上説明したように、本実施形態の抵抗体構造16に依れば、酸化シリコン薄膜164を用いてp-Si高抵抗薄膜162の表面を被覆することにより、配線パターンやPSG18に含まれる水素含有不純物やブラズマプロセス雰囲気中に含まれる水素含有不純物がp-Si高抵抗薄膜162に侵入する現象を回避できる。この結果、500Ω/□〜1M/□程度の高いシート抵抗値に制御されたp-Si高抵抗薄膜162における製造当初の高抵抗値を維持して経時的変化を低減することができるようになる。更に、ポリサイド薄膜166はp-Si高抵抗薄膜162の外部から加えられる応力に対するクッションの機能を果たす。これに依り、作製プロセス中や作製後のp-Si高抵抗薄膜162内に無用な応力歪が残留する現象を回避でき、応力歪を一要因とすると考えられるp-Si高抵抗薄膜162の目標抵抗値と作製後の抵抗値とのずれを極力減少させることができる。この結果、高抵抗のp-Si高抵抗薄膜162を作製する場合にp-Si高抵抗薄膜162の抵抗値を高い精度で目標の高抵抗値に制御することができるようになり、即ち、高い抵抗値制御性を実現することができるようになる。

【0124】次に、図面に基づき、ラダー回路の一実施形態を説明する。

【0125】図5は、図1の抵抗体構造16を用いたラダー回路20の一実施形態を説明するための回路構成図である。

【0126】図5に示すラダー回路20は、前述の抵抗体構造16A、16B、16C、16D、16E、16F、16Gが直列に接続された回路網構成を有している。

【0127】ラダー回路20は、7個の抵抗体構造16A、16B、16C、16D、16E、16F、16Gが抵抗値に関して昇順に接続されて構成されると同時に、隣接する抵抗体構造16A、16B、16C、16D、16E、16F、16Gの抵抗比が2に設定されている。換言すると、ラダー回路20は、複数の抵抗体構造16A、16B、16C、16D、16E、16F、16Gが2のべき乗の抵抗比で昇順に接続されて構成されている。

10 【0128】これに依り、ラダー回路20における各抵抗体構造16A、16B、16C、16D、16E、16F、16Gの抵抗値を1、2、4、8、16、32、64といった抵抗比に設定できるようになる。これに依り、これらの抵抗値を直列に接続して組み合わせることによって所望の抵抗網を構成できる結果、所望の抵抗値を有するラダー回路20をコンパクトな回路構成で実現することができるようになる。

20 【0129】更に、ラダー回路20を構成する抵抗体構造16Aの両端にはノードn1、n2が設けられ、抵抗体構造16Bの両端にはノードn2、n3が設けられ、抵抗体構造16Cの両端にはノードn3、n4が設けられ、抵抗体構造16Dの両端にはノードn4、n5が設けられ、抵抗体構造16Eの両端にはノードn5、n6が設けられ、抵抗体構造16Fの両端にはノードn6、n7が設けられ、抵抗体構造16Gの両端にはノードn7、n8が設けられている。

30 【0130】更に、ラダー回路20には、抵抗体構造16A、16B、16C、16D、16E、16F、16Gの両端のノードn1、n2、n3、n4、n5、n6、n7、n8間を短絡してラダー回路20の抵抗値を所望の抵抗値に設定するためのヒューズ21A、21B、21C、21D、21E、21F、21Gが設けられている。即ち、ヒューズ21A、21B、21C、21D、21E、21F、21Gを切断（具体的には、溶断）することにより、ラダー回路20におけるノードn1、n2、n3、n4、n5、n6、n7、n8間の抵抗値を1、2、4、8、16、32、64といった抵抗比に設定できるようになる。

40 【0131】例えば、ヒューズ21C、21D、21E、21F及び21Gを溶断することにより、ラダー回路20における抵抗値を3に設定できる。ヒューズ21D、21E、21F及び21Gを溶断することにより、ラダー回路20における抵抗値を7に設定できる。

【0132】これに依り、これらのノードn1、n2、n3、n4、n5、n6、n7、n8間を直列に接続したり短絡して組み合わせることによって所望の抵抗網を構成できる結果、所望の抵抗値を有するラダー回路20をコンパクトな回路構成で実現することができるようになる。

50 【0133】これに依り、ノードn1、n2、n3、n4、n5、n6、n7、n8を選択してラダー回路20の抵抗値

を所望の値に設定することができるようになる。

【0134】即ち、ラダー回路20におけるノードn1、n2、n3、n4、n5、n6、n7、n8間の抵抗値を1、2、4、8、16、32、64といった抵抗比に設定できるようになる。これに依り、これらのノードn1、n2、n3、n4、n5、n6、n7、n8間を直列に接続して組み合わせることによって所望の抵抗網を構成できる結果、所望の抵抗値を有するラダー回路20をコンパクトな回路構成で実現することができるようになる。

【0135】以上説明したように、ラダー回路20の実施形態に依れば、前述したような抵抗体構造16A、16B、16C、16D、16E、16F、16Gを複数直列に接続してラダー回路20を構成されているので、製造当初の高抵抗値を維持でき、更に経時の変化を低減することができるラダー回路20を実現できる。更に、p-Si高抵抗薄膜162や高抵抗拡散抵抗薄膜162の抵抗値を高い精度で目標の高抵抗値に制御することができるようになり、即ち、高い抵抗値制御性を有するラダー回路20を実現することができる。

【0136】次に、図面にに基づき、半導体装置の一実施形態としての定電圧電源（ボルテージレギュレータ）の一実施形態を説明する。

【0137】図6は、図5のラダー回路20を出力電圧設定用抵抗網に用いた定電圧電源30（ボルテージレギュレータ30）の一実施形態を説明するための回路構成図である。

【0138】図6に示すボルテージレギュレータ30は、負荷に供給される出力電圧Voutを一定に保持する定電圧電源30であって、基準電源32と出力電圧設定用抵抗網と制御トランジスタ34と誤差増幅器33を中心にして構成されている。

【0139】基準電源32は、基準電圧Vref（具体的には、 $0.900 \pm 0.01$  VDC）を生成する機能を有し、定電流源31から供給される定電流に基づいて基準電圧Vrefを発生している。

【0140】出力電圧設定用抵抗網は、電流を与えられた際に電流の大きさに応じた出力電圧Vout（具体的には、 $4.500 \pm 0.01$  VDC）を生成する機能を有し、前述のラダー回路35A、35Bを用いて構成されている点に特徴を有している。

【0141】この場合、ラダー回路35A、35Bの任意のノードn1、n2、n3、n4、n5、n6、n7、n8が出力ノードNに選択されて出力電圧Voutが設定されることになる。

【0142】制御トランジスタ34は、具体的には、pチャネルMOSFETであって、出力電圧設定用抵抗網に制御電流を与えて出力電圧設定用抵抗網（即ち、ラダー回路35A、35B）の出力ノードN（ラダー回路35Aとラダー回路35Bの接続点）を一定電圧値に制御する機能を有している。

【0143】誤差増幅器33は、pチャネルMOSFET34のゲートに接続され、出力ノードNからの出力電圧Voutと基準電圧Vrefとの電圧差 $\Delta V$ を求め所定倍率（具体的には、100倍）に電圧増幅して誤差信号33aを生成すると同時に、誤差信号33aを制御トランジスタ34に与えて出力電圧設定用抵抗網35A、35Bに対する定電圧制御を促す機能を有している。

【0144】以上説明したように、ボルテージレギュレータ30に依れば、前述したような抵抗体構造16A、16B、16C、16D、16E、16F、16Gを複数直列に接続して出力電圧設定用抵抗網35A、35Bを構成されているので、製造当初の高抵抗値を維持でき、更に経時の変化を低減することができる出力電圧設定用抵抗網35A、35Bを実現できる。更に、p-Si高抵抗薄膜162や高抵抗拡散抵抗薄膜162の抵抗値を高い精度で目標の高抵抗値に制御することができるようになり、即ち、高い抵抗値制御性を有する出力電圧設定用抵抗網35A、35Bを実現することができる。この結果、経時の変化が少なく高い抵抗値制御性を有する出力電圧設定用抵抗網35A、35Bが実現でき、経時の変化が少なく高精度の定電圧制御を制御トランジスタ34が実行できるようになり、経時の変化が少なく高精度の誤差信号33aを誤差増幅器33が生成できるようになる。

【0145】

【発明の効果】請求項1に記載の発明に依れば、配線パターンやパッシベーション膜に含まれる不純物やプラズマプロセス雰囲気中に含まれる不純物が高抵抗薄膜に侵入する減少を回避できる。この結果、高抵抗に制御された多結晶シリコン高抵抗薄膜における製造当初の高抵抗値を維持して経時の変化を低減することができるようになるといった効果を奏する。

【0146】請求項2に記載の発明に依れば、配線パターンやパッシベーション膜に含まれる水素原子を含む不純物やプラズマプロセス雰囲気中に含まれる水素原子を含む不純物が高抵抗薄膜に侵入する現象を回避できる。この結果、高抵抗に制御された多結晶シリコン高抵抗薄膜における製造当初の高抵抗値を維持して経時の変化を低減することができるようになるといった効果を奏する。

【0147】請求項3に記載の発明に依れば、配線パターンやパッシベーション膜に含まれる水素原子を含む不純物やプラズマプロセス雰囲気中に含まれる水素原子を含む不純物が多結晶シリコン高抵抗薄膜に侵入する現象を回避できる。この結果、高抵抗に制御された多結晶シリコン高抵抗薄膜における製造当初の高抵抗値を維持して経時の変化を低減することができるようになるといった効果を奏する。更に、作製プロセス中や作製後の多結晶シリコン高抵抗薄膜内に無用な応力歪が残留する現象を回避でき、応力歪を一要因とすると考えられる多結晶

シリコン高抵抗薄膜の目標抵抗値と作製後の抵抗値とのずれを極力減少させることができる。この結果、高抵抗の多結晶シリコン高抵抗薄膜を作製する場合に多結晶シリコン高抵抗薄膜の抵抗値を高い精度で目標の高抵抗値に制御することができるようになり、即ち、高い抵抗値制御性を実現することができるという効果を奏する。

【0148】請求項4に記載の発明に依れば、請求項1乃至3のいずれか一項に記載の効果と同様の効果を奏する。

【0149】請求項5に記載の発明に依れば、請求項1乃至4のいずれか一項に記載の効果に加えて、500Ω/□乃至1M/□といった抵抗値の範囲に制御された多結晶シリコン高抵抗薄膜における製造当初の高抵抗値を維持して経時変化を低減することができるようになるという効果を奏する。更に、応力歪を一要因とすると考えられる多結晶シリコン高抵抗薄膜の目標抵抗値と作製後の抵抗値とのずれを500Ω/□乃至1M/□といった抵抗値の範囲において極力減少させることができる。この結果、高抵抗の多結晶シリコン高抵抗薄膜を作製する場合に多結晶シリコン高抵抗薄膜の抵抗値を高い精度で目標の高抵抗値に制御することができるようになり、即ち、高い抵抗値制御性を実現することができるという効果を奏する。

【0150】請求項6に記載の発明に依れば、配線パターンやパッシベーション膜に含まれる不純物やプラズマプロセス雰囲気中に含まれる不純物が高抵抗薄膜（高抵抗拡散抵抗薄膜）に侵入する減少を回避できる。この結果、高抵抗に制御された高抵抗拡散抵抗薄膜における製造当初の高抵抗値を維持して経時変化を低減することができるようになるという効果を奏する。

【0151】請求項7に記載の発明に依れば、配線パターンやパッシベーション膜に含まれる水素原子を含む不純物やプラズマプロセス雰囲気中に含まれる水素原子を含む不純物が高抵抗拡散抵抗薄膜に侵入する現象を回避できる。この結果、高抵抗に制御された高抵抗拡散抵抗薄膜における製造当初の高抵抗値を維持して経時変化を低減することができるようになるという効果を奏する。

【0152】請求項8に記載の発明に依れば、配線パターンやパッシベーション膜に含まれる水素原子を含む不純物やプラズマプロセス雰囲気中に含まれる水素原子を含む不純物が高抵抗拡散抵抗薄膜に侵入する現象を回避できる。この結果、高抵抗に制御された高抵抗拡散抵抗薄膜における製造当初の高抵抗値を維持して経時変化を低減することができるようになるという効果を奏する。更に、作製プロセス中や作製後の高抵抗拡散抵抗薄膜内に無用な応力歪が残留する現象を回避でき、応力歪を一要因とすると考えられる高抵抗拡散抵抗薄膜の目標抵抗値と作製後の抵抗値とのずれを極力減少させることができる。この結果、高抵抗拡散抵抗薄膜を作製する場

合に高抵抗拡散抵抗薄膜の抵抗値を高い精度で目標の高抵抗値に制御することができるようになり、即ち、高い抵抗値制御性を実現することができるという効果を奏する。

【0153】請求項9に記載の発明に依れば、請求項6乃至8のいずれか一項に記載の効果と同様の効果を奏する。

【0154】請求項10に記載の発明に依れば、請求項1乃至9のいずれか一項に記載の効果に加えて、パッシベーション膜に含まれる水素原子を含む不純物やパッシベーション膜作製時のプラズマプロセス雰囲気中に含まれる水素原子を含む不純物が多結晶シリコン高抵抗薄膜や高抵抗拡散抵抗薄膜に侵入する現象を回避できる。この結果、高抵抗に制御された多結晶シリコン高抵抗薄膜や高抵抗拡散抵抗薄膜における製造当初の高抵抗値を維持して経時変化を低減することができるようになるという効果を奏する。更に、作製プロセス中や作製後の多結晶シリコン高抵抗薄膜や高抵抗拡散抵抗薄膜内にパッシベーション膜によって発生される応力歪が残留する現象を回避でき、応力歪を一要因とすると考えられる多結晶シリコン高抵抗薄膜や高抵抗拡散抵抗薄膜の目標抵抗値と作製後の抵抗値とのずれを極力減少させることができる。この結果、多結晶シリコン高抵抗薄膜や高抵抗拡散抵抗薄膜を作製する場合に多結晶シリコン高抵抗薄膜や高抵抗拡散抵抗薄膜の抵抗値を高い精度で目標の高抵抗値に制御することができるようになり、即ち、高い抵抗値制御性を実現することができるという効果を奏する。

【0155】請求項11に記載の発明に依れば、請求項10に記載の効果に加えて、PSG薄膜に含まれる水素原子を含む不純物やPSG薄膜作製時のプラズマプロセス雰囲気中に含まれる水素原子を含む不純物が多結晶シリコン高抵抗薄膜や高抵抗拡散抵抗薄膜に侵入する現象を回避できる。この結果、高抵抗に制御された多結晶シリコン高抵抗薄膜や高抵抗拡散抵抗薄膜における製造当初の高抵抗値を維持して経時変化を低減することができるようになるという効果を奏する。更に、作製プロセス中や作製後の多結晶シリコン高抵抗薄膜や高抵抗拡散抵抗薄膜内にPSG薄膜によって発生される応力歪が残留する現象を回避でき、応力歪を一要因とすると考えられる多結晶シリコン高抵抗薄膜や高抵抗拡散抵抗薄膜の目標抵抗値と作製後の抵抗値とのずれを極力減少させることができる。この結果、多結晶シリコン高抵抗薄膜や高抵抗拡散抵抗薄膜を作製する場合に多結晶シリコン高抵抗薄膜や高抵抗拡散抵抗薄膜の抵抗値を高い精度で目標の高抵抗値に制御することができるようになり、即ち、高い抵抗値制御性を実現することができるという効果を奏する。

【0156】請求項12に記載の発明に依れば、請求項10又は11に記載の効果と同様の効果を奏する。

【0157】請求項13に記載の発明に依れば、請求項10乃至12のいずれか一項に記載の効果に加えて、作製プロセス中や作製後の多結晶シリコン高抵抗薄膜や高抵抗拡散抵抗薄膜内にパッシベーション膜によって発生される応力歪をやわらげることができ、応力歪を一要因とすると考えられる多結晶シリコン高抵抗薄膜や高抵抗拡散抵抗薄膜の目標抵抗値と作製後の抵抗値とのずれを極力減少させることができる。この結果、多結晶シリコン高抵抗薄膜や高抵抗拡散抵抗薄膜を作製する場合に多結晶シリコン高抵抗薄膜や高抵抗拡散抵抗薄膜の抵抗値を高い精度で目標の高抵抗値に制御することができるようになり、即ち、高い抵抗値制御性を実現することができるという効果を奏する。

【0158】請求項14に記載の発明に依れば、請求項13に記載の効果に加えて、プロセス安定性を損なうことなく、作製プロセス中や作製後の多結晶シリコン高抵抗薄膜や高抵抗拡散抵抗薄膜内にパッシベーション膜によって発生される応力歪をやわらげることができ、応力歪を一要因とすると考えられる多結晶シリコン高抵抗薄膜や高抵抗拡散抵抗薄膜の目標抵抗値と作製後の抵抗値とのずれを極力減少させることができる。この結果、多結晶シリコン高抵抗薄膜や高抵抗拡散抵抗薄膜を作製する場合に多結晶シリコン高抵抗薄膜や高抵抗拡散抵抗薄膜の抵抗値を高い精度で目標の高抵抗値に制御することができるようになり、即ち、プロセス安定性を損なうことなく、且つ低いプロセスコストを以て、高い抵抗値制御性を実現することができるという効果を奏する。

【0159】請求項15に記載の発明に依れば、請求項13に記載の効果に加えて、パッシベーション膜に含まれる水素原子を含む不純物やパッシベーション膜作製時のプラズマプロセス雰囲気中に含まれる水素原子を含む不純物が多結晶シリコン高抵抗薄膜や高抵抗拡散抵抗薄膜に侵入する現象を電場の作用を借りて更に効果的に回避できる。この結果、高抵抗に制御された多結晶シリコン高抵抗薄膜や高抵抗拡散抵抗薄膜における製造当初の高抵抗値を維持して経時的変化を更に効果的に低減することができるという効果を奏する。

【0160】請求項16に記載の発明に依れば、請求項15に記載の効果と同様の効果を奏する。

【0161】請求項17に記載の発明に依れば、請求項15に記載の効果と同様の効果を奏する。

【0162】請求項18に記載の発明に依れば、請求項15に記載の効果と同様の効果を奏する。

【0163】請求項19に記載の発明に依れば、請求項15に記載の効果と同様の効果を奏する。

【0164】請求項20に記載の発明に依れば、請求項19に記載の効果に加えて、応力緩衝膜のブロック毎に各々異なる電場に保持できるようになる。抵抗体構造が複数のブロックに分割されて使用される場合であっても、各々ブロック毎に最も効果的な電位を選択すること

ができるようになるという効果を奏する。この結果、パッシベーション膜-多結晶シリコン高抵抗薄膜又は高抵抗拡散抵抗薄膜間をブロック毎に最適な一定電場に保持でき、パッシベーション膜に含まれる水素原子を含む不純物やパッシベーション膜作製時のプラズマプロセス雰囲気中に含まれる水素原子を含む不純物が多結晶シリコン高抵抗薄膜や高抵抗拡散抵抗薄膜に侵入する現象をブロック毎の最適な電場の作用を借りてブロック毎に効果的に回避できる。これに依り、高抵抗に制御された多結晶シリコン高抵抗薄膜や高抵抗拡散抵抗薄膜における製造当初の高抵抗値を維持して経時的変化をブロック毎に効果的に低減することができるという効果を奏する。

【0165】請求項21に記載の発明に依れば、請求項19に記載の効果に加えて、応力緩衝膜の全ブロックを共通の電場に保持できるようになる。抵抗体構造が複数のブロックに分割されて使用される場合であっても、全ブロック共通に最も効果的な共通電位を選択することができるという効果を奏する。この結果、パッシベーション膜-多結晶シリコン高抵抗薄膜又は高抵抗拡散抵抗薄膜間を全ブロック共通に最適な一定電場に保持でき、パッシベーション膜に含まれる水素原子を含む不純物やパッシベーション膜作製時のプラズマプロセス雰囲気中に含まれる水素原子を含む不純物が多結晶シリコン高抵抗薄膜や高抵抗拡散抵抗薄膜に侵入する現象を全ブロック共通な最適な電場の作用を借りて全ブロック共通に効果的に回避できる。これに依り、高抵抗に制御された多結晶シリコン高抵抗薄膜や高抵抗拡散抵抗薄膜における製造当初の高抵抗値を維持して経時的変化を全ブロック共通に効果的に低減することができるという効果を奏する。

【0166】請求項22に記載の発明に依れば、請求項15乃至21のいずれか一項に記載の効果に加えて、プロセス安定性を損なうことなく、作製プロセス中や作製後の多結晶シリコン高抵抗薄膜や高抵抗拡散抵抗薄膜内にパッシベーション膜によって発生される応力歪をやわらげることができ、応力歪を一要因とすると考えられる多結晶シリコン高抵抗薄膜や高抵抗拡散抵抗薄膜の目標抵抗値と作製後の抵抗値とのずれを極力減少させることができる。この結果、多結晶シリコン高抵抗薄膜や高抵抗拡散抵抗薄膜を作製する場合に多結晶シリコン高抵抗薄膜や高抵抗拡散抵抗薄膜の抵抗値を高い精度で目標の高抵抗値に制御することができるようになり、即ち、プロセス安定性を損なうことなく、且つ低いプロセスコストを以て、高い抵抗値制御性を実現することができるという効果を奏する。

【0167】請求項23に記載の発明に依れば、請求項15乃至21のいずれか一項に記載の効果に加えて、プロセス安定性を損なうことなく、作製プロセス中や作製後の多結晶シリコン高抵抗薄膜や高抵抗拡散抵抗薄膜内

10

20

30

40

50

にパッシベーション膜によって発生される応力歪をやわらげることができ、応力歪を一要因とすると考えられる多結晶シリコン高抵抗薄膜や高抵抗拡散抵抗薄膜の目標抵抗値と作製後の抵抗値とのずれを極力減少させることができる。この結果、多結晶シリコン高抵抗薄膜や高抵抗拡散抵抗薄膜を作製する場合に多結晶シリコン高抵抗薄膜や高抵抗拡散抵抗薄膜の抵抗値を高い精度で目標の高抵抗値に制御することができるようになり、即ち、プロセス安定性を損なうことなく、且つ低いプロセスコストを以て、高い抵抗値制御性を実現することができるといった効果を奏する。

【0168】請求項24に記載の発明に依れば、請求項15乃至21のいずれか一項に記載の効果に加えて、プロセス安定性を損なうことなく、作製プロセス中や作製後の多結晶シリコン高抵抗薄膜や高抵抗拡散抵抗薄膜内にパッシベーション膜によって発生される応力歪をやわらげることができ、応力歪を一要因とすると考えられる多結晶シリコン高抵抗薄膜や高抵抗拡散抵抗薄膜の目標抵抗値と作製後の抵抗値とのずれを極力減少させることができる。この結果、多結晶シリコン高抵抗薄膜や高抵抗拡散抵抗薄膜を作製する場合に多結晶シリコン高抵抗薄膜や高抵抗拡散抵抗薄膜の抵抗値を高い精度で目標の高抵抗値に制御することができるようになり、即ち、プロセス安定性を損なうことなく、且つ低いプロセスコストを以て、高い抵抗値制御性を実現することができるといった効果を奏する。

【0169】請求項25に記載の発明に依れば、請求項15乃至21のいずれか一項に記載の効果に加えて、プロセス安定性を損なうことなく、作製プロセス中や作製後の多結晶シリコン高抵抗薄膜や高抵抗拡散抵抗薄膜内にパッシベーション膜によって発生される応力歪をやわらげることができ、応力歪を一要因とすると考えられる多結晶シリコン高抵抗薄膜や高抵抗拡散抵抗薄膜の目標抵抗値と作製後の抵抗値とのずれを極力減少させることができる。この結果、多結晶シリコン高抵抗薄膜や高抵抗拡散抵抗薄膜を作製する場合に多結晶シリコン高抵抗薄膜や高抵抗拡散抵抗薄膜の抵抗値を高い精度で目標の高抵抗値に制御することができるようになり、即ち、プロセス安定性を損なうことなく、且つ低いプロセスコストを以て、高い抵抗値制御性を実現することができるといった効果を奏する。

【0170】請求項26に記載の発明に依れば、請求項15乃至21のいずれか一項に記載の効果に加えて、プロセス安定性を損なうことなく、作製プロセス中や作製後の多結晶シリコン高抵抗薄膜や高抵抗拡散抵抗薄膜内にパッシベーション膜によって発生される応力歪をやわらげることができ、応力歪を一要因とすると考えられる多結晶シリコン高抵抗薄膜や高抵抗拡散抵抗薄膜の目標抵抗値と作製後の抵抗値とのずれを極力減少させることができる。この結果、多結晶シリコン高抵抗薄膜や高抵抗

抵抗拡散抵抗薄膜を作製する場合に多結晶シリコン高抵抗薄膜や高抵抗拡散抵抗薄膜の抵抗値を高い精度で目標の高抵抗値に制御することができるようになり、即ち、プロセス安定性を損なうことなく、且つ低いプロセスコストを以て、高い抵抗値制御性を実現することができるといった効果を奏する。

【0171】請求項27に記載の発明に依れば、請求項16乃至26のいずれか一項に記載の効果に加えて、応力緩衝膜の電位を一定電位に固定すると同時に、基板の電位を接地電位に固定してパッシベーション膜-多結晶シリコン高抵抗薄膜又は高抵抗拡散抵抗薄膜間を一定電場に保持することにより、パッシベーション膜に含まれる水素原子を含む不純物やパッシベーション膜作製時のプラズマプロセス雰囲気中に含まれる水素原子を含む不純物が多結晶シリコン高抵抗薄膜や高抵抗拡散抵抗薄膜に侵入する現象を電場の作用を借りて更に効果的に回避できる。この結果、高抵抗に制御された多結晶シリコン高抵抗薄膜や高抵抗拡散抵抗薄膜における製造当初の高抵抗値を維持して経時変化を更に効果的に低減することができるようになるといった効果を奏する。

【0172】請求項28に記載の発明に依れば、請求項16乃至26のいずれか一項に記載の効果に加えて、応力緩衝膜の電位を一定電位に固定すると同時に、基板の電位を電源電位に固定してパッシベーション膜-多結晶シリコン高抵抗薄膜又は高抵抗拡散抵抗薄膜間を一定電場に保持することにより、パッシベーション膜に含まれる水素原子を含む不純物やパッシベーション膜作製時のプラズマプロセス雰囲気中に含まれる水素原子を含む不純物が多結晶シリコン高抵抗薄膜や高抵抗拡散抵抗薄膜に侵入する現象を電場の作用を借りて更に効果的に回避できる。この結果、高抵抗に制御された多結晶シリコン高抵抗薄膜や高抵抗拡散抵抗薄膜における製造当初の高抵抗値を維持して経時変化を更に効果的に低減することができるようになるといった効果を奏する。

【0173】請求項29に記載の発明に依れば、請求項1乃至10のいずれか一項に記載の効果に加えて、プロセスばらつきに起因して多結晶シリコン高抵抗薄膜や高抵抗拡散抵抗薄膜の位置にばらつきが発生した場合であっても、パッシベーション膜に含まれる水素原子を含む不純物やパッシベーション膜作製時のプラズマプロセス雰囲気中に含まれる水素原子を含む不純物が多結晶シリコン高抵抗薄膜や高抵抗拡散抵抗薄膜に侵入する現象を確実に回避でき、プロセス信頼性を向上させることができるようになるといった効果を奏する。この結果、高抵抗に制御された多結晶シリコン高抵抗薄膜や高抵抗拡散抵抗薄膜における製造当初の高抵抗値を維持して経時変化を低減することが高いプロセス信頼性を以て実現できるようになるといった効果を奏する。

【0174】請求項30に記載の発明に依れば、請求項29に記載の効果に加えて、プロセスばらつきに起因し

て多結晶シリコン高抵抗薄膜や高抵抗拡散抵抗薄膜と低抵抗薄膜との位置関係にばらつきが発生した場合であっても、パッシベーション膜に含まれる水素原子を含む不純物やパッシベーション膜作製時のプラズマプロセス雰囲気中に含まれる水素原子を含む不純物が多結晶シリコン高抵抗薄膜や高抵抗拡散抵抗薄膜に侵入する現象を確実に回避でき、プロセス信頼性を向上させることができるようになるといった効果を奏する。この結果、高抵抗に制御された多結晶シリコン高抵抗薄膜や高抵抗拡散抵抗薄膜における製造当初の高抵抗値を維持して経時の変化を低減することが高いプロセス信頼性を以て実現できるようになるといった効果を奏する。

【0175】請求項31に記載の発明に依れば、請求項29に記載の効果に加えて、プロセスばらつきに起因して多結晶シリコン高抵抗薄膜や高抵抗拡散抵抗薄膜の基板上での位置、低抵抗薄膜の基板上での位置にばらつきが発生した場合であっても、パッシベーション膜に含まれる水素原子を含む不純物やパッシベーション膜作製時のプラズマプロセス雰囲気中に含まれる水素原子を含む不純物が多結晶シリコン高抵抗薄膜や高抵抗拡散抵抗薄膜に侵入する現象を確実に回避でき、プロセス信頼性を向上させることができるようになるといった効果を奏する。この結果、高抵抗に制御された多結晶シリコン高抵抗薄膜や高抵抗拡散抵抗薄膜における製造当初の高抵抗値を維持して経時の変化を低減することが高いプロセス信頼性を以て実現できるようになるといった効果を奏する。

【0176】請求項32に記載の発明に依れば、請求項29に記載の効果と同様の効果を奏する。

【0177】請求項33に記載の発明に依れば、請求項29に記載の効果と同様の効果を奏する。

【0178】請求項34に記載の発明に依れば、請求項29乃至33のいずれか一項に記載の効果に加えて、前述したような抵抗体構造を複数直列に接続してラダー回路を構成されているので、製造当初の高抵抗値を維持でき、更に経時の変化を低減することができるラダー回路を実現できる。更に、多結晶シリコン高抵抗薄膜や高抵抗拡散抵抗薄膜の抵抗値を高い精度で目標の高抵抗値に制御することができるようになり、即ち、高い抵抗値制御性を有するラダー回路を実現することができる。

【0179】請求項35に記載の発明に依れば、請求項34に記載の効果に加えて、ラダー回路における各抵抗体構造の抵抗値を1, 2, 4, 8, 16, 32, 64といった抵抗比に設定できるようになるといった効果を奏する。これに依り、これらの抵抗値を直列に接続して組み合わせることによって所望の抵抗網を構成できる結果、所望の抵抗値を有するラダー回路をコンパクトな回路構成で実現することができるという効果を奏する。

【0180】請求項36に記載の発明に依れば、請求項34に記載の効果と同様の効果を奏する。

【0181】請求項37に記載の発明に依れば、請求項35又は36に記載の効果に加えて、ラダー回路におけるノード間の抵抗値を1, 2, 4, 8, 16, 32, 64といった抵抗比に設定できるようになるといった効果を奏する。これに依り、これらのノード間を直列に接続して組み合わせることによって所望の抵抗網を構成できる結果、所望の抵抗値を有するラダー回路をコンパクトな回路構成で実現することができるという効果を奏する。

10 【0182】請求項38に記載の発明に依れば、請求項37に記載の効果に加えて、ラダー回路におけるノード間の抵抗値を1, 2, 4, 8, 16, 32, 64といった抵抗比に設定できるようになるといった効果を奏する。これに依り、これらのノード間を直列に接続したり短絡して組み合わせることによって所望の抵抗網を構成できる結果、所望の抵抗値を有するラダー回路をコンパクトな回路構成で実現することができるという効果を奏する。

20 【0183】請求項39に記載の発明に依れば、請求項34乃至38のいずれか一項に記載の効果に加えて、前述したような抵抗体構造を複数直列に接続して出力電圧設定用抵抗網を構成されているので、製造当初の高抵抗値を維持でき、更に経時の変化を低減することができる出力電圧設定用抵抗網を実現できる。更に、多結晶シリコン高抵抗薄膜や高抵抗拡散抵抗薄膜の抵抗値を高い精度で目標の高抵抗値に制御することができるようになり、即ち、高い抵抗値制御性を有する出力電圧設定用抵抗網を実現することができる。この結果、経時の変化が少なく高い抵抗値制御性を有する出力電圧設定用抵抗網が実現でき、経時の変化が少なく高精度の定電圧制御を制御トランジスタが実行できるようになり、経時の変化が少なく高精度の誤差信号を誤差増幅器が生成できるようになるという効果を奏する。

【図面の簡単な説明】

【図1】本発明の半導体装置の一実施形態を説明するための素子断面図である。

【図2】図1の半導体装置のA-A素子断面図である。

30 【図3】図1の半導体装置の素子上面図であって、図3(a)は、抵抗体構造の抵抗形状の第1実施形態であり、図3(b)は、抵抗体構造の抵抗形状の第2実施形態である。

【図4】図1の抵抗体構造に対する高温バイアス試験の結果を説明するためのチャートである。

【図5】図1の抵抗体構造を用いたラダー回路の一実施形態を説明するための回路構成図である。

【図6】図5のラダー回路を出力電圧設定用抵抗網に用いた定電圧電源（ボルテージレギュレータ）の一実施形態を説明するための回路構成図である。

50 【図7】従来の半導体装置における抵抗体構造を説明するための素子断面図である。

## 【符号の説明】

10…半導体装置  
 12…基板  
 14…絶縁薄膜  
 16…抵抗体構造  
 162…高抵抗薄膜（多結晶シリコン膜、誘電体膜）  
 164…不純物遮断薄膜  
 166…応力緩衝膜（金属薄膜、シリサイド薄膜、多結晶シリコン膜、ポリサイド薄膜）  
 168…低抵抗薄膜  
 18…パッシベーション膜（PSG薄膜）  
 20…ラダー回路  
 21A, 21B, 21C, 21D, 21E, 21F, 21G…ヒューズ

\* 30…定電圧電源（ボルテージレギュレータ）

32…基準電源

33…誤差増幅器

33a…誤差信号

34…制御トランジスタ

35…出力電圧設定用抵抗網

N…出力ノード

n1, n2, n3, n4, n5, n6, n7, n8…ノード

VDD…電源電位

10 VDD/2…中間電位

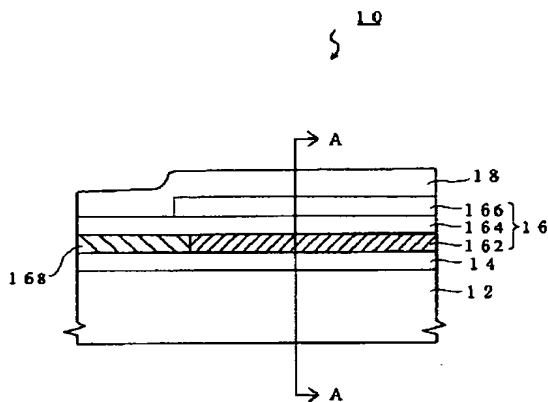
VGND…接地電位

Vout…出力電圧

Vref…基準電圧

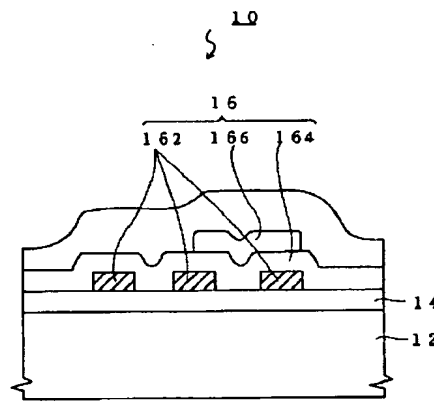
\* ΔV…電圧差

【図1】

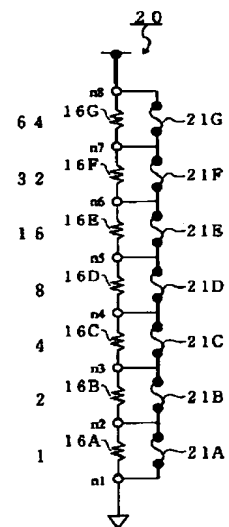


10…半導体装置  
 12…基板  
 14…絶縁薄膜  
 16…抵抗体構造  
 162…高抵抗薄膜（多結晶シリコン膜、誘電体膜）  
 164…不純物遮断薄膜  
 166…応力緩衝膜（金属薄膜、シリサイド薄膜、多結晶シリコン膜、ポリサイド薄膜）  
 168…低抵抗薄膜  
 18…パッシベーション膜（PSG薄膜）

【図2】

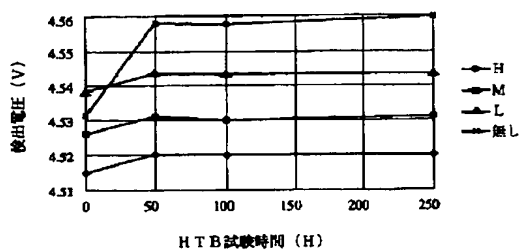


【図5】

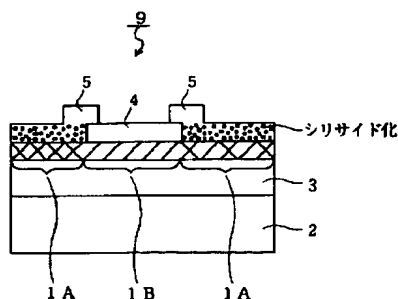


20…ラダー回路

【図4】

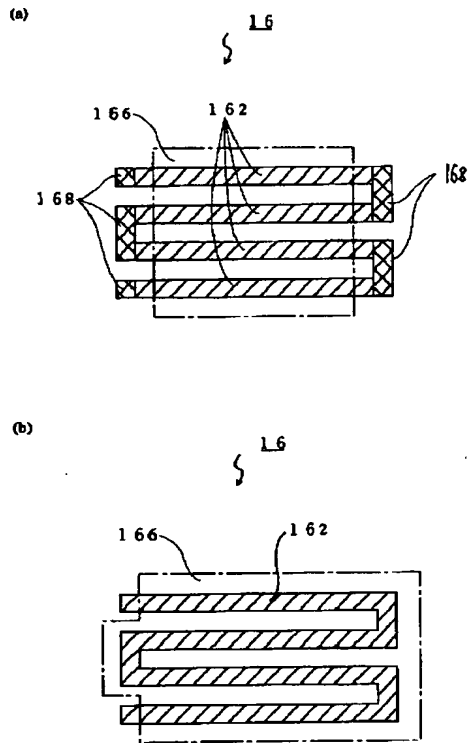


【図7】

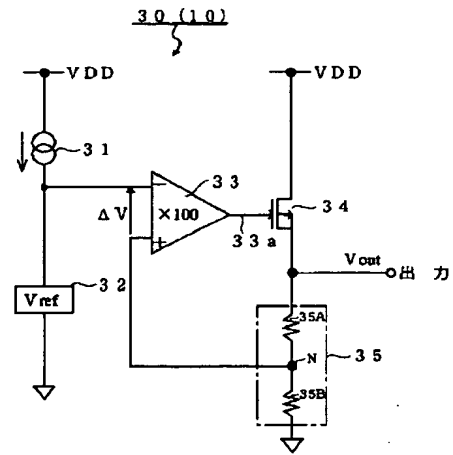




【図3】



【図6】



- 30…定電圧電源 (ボルテージレギュレータ)
- 32…基準電圧
- 33…誤差増幅器
- 33a…誤差信号
- 34…制御トランジスタ
- 35…出力電圧設定用抵抗網
- N…出力ノード
- VDD…電源電位
- Vout…出力電圧
- Vref…基準電圧
- $\Delta V$ …電圧差